

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年 7月12日

出 願 番 号  
Application Number:

特願2002-204274

[ ST.10/C ]:

[ JP2002-204274 ]

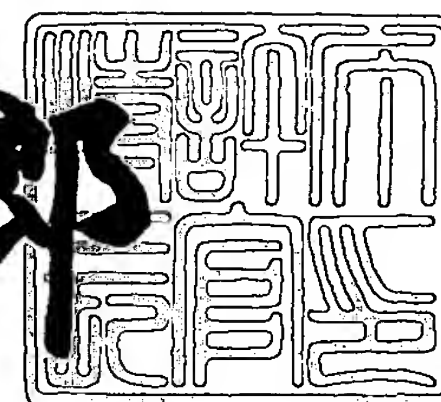
出 願 人  
Applicant(s):

セイコーエプソン株式会社

2003年 5月 6日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3032776

【書類名】 特許願

【整理番号】 EP-0398001

【提出日】 平成14年 7月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8247

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 井上 晋

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100090479

    【弁理士】

    【氏名又は名称】 井上 一

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090387

    【弁理士】

    【氏名又は名称】 布施 行夫

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090398

    【弁理士】

    【氏名又は名称】 大淵 美千栄

    【電話番号】 03-5397-0891

【手数料の表示】

    【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 不揮発性記憶装置を含むメモリ領域と、該不揮発性記憶装置の周辺回路を含むロジック回路領域と、を含む半導体装置の製造方法であって、以下の工程を含む、半導体装置の製造方法。

- (a) 半導体層の上方に、第 1 絶縁層を形成し、
- (b) 前記第 1 絶縁層の上方に、第 1 導電層を形成し、
- (c) 前記第 1 導電層の上方に、ストッパ層を形成し、
- (d) 前記メモリ領域内の前記ストッパ層と前記第 1 導電層とをパターニングし、
- (e) 前記メモリ領域と前記ロジック回路領域との全面に電荷蓄積膜を形成し、
- (f) 前記電荷蓄積膜の上方に、第 2 導電層を形成し、該第 2 導電層を異方性エッチングすることにより、少なくとも前記メモリ領域内の前記第 1 導電層の両側面に、前記電荷蓄積膜を介してサイドウォール状のコントロールゲートを形成し、
- (g) 前記ストッパ層および前記第 1 導電層からなる積層体の両側面で、前記コントロールゲートの少なくとも上部に第 1 サイドウォール絶縁層を形成し、
- (h) 前記ロジック回路領域内の前記ストッパ層を除去し、
- (i) 前記ロジック回路領域内の前記第 1 導電層をパターニングして、該ロジック回路領域内に絶縁ゲート電界効果トランジスタのゲート電極を形成し、
- (j) 前記ゲート電極の両側面にサイドウォール絶縁層を形成し、かつ、前記第 1 サイドウォール絶縁層と前記コントロールゲートを覆うように第 2 サイドウォール絶縁層を形成し、
- (k) 前記不揮発性記憶装置のソース領域またはドレイン領域となる第 1 不純物層と、前記絶縁ゲート電界効果トランジスタのソース領域またはドレイン領域となる第 2 不純物層とを形成し、

(1) 前記第 1 不純物層と前記第 2 不純物層との表面にシリサイド層を形成し

(m) 前記メモリ領域と前記ロジック回路領域との全面に第 2 絶縁層を形成し

(n) 前記メモリ領域内の前記ストッパ層は露出し、かつ、前記ロジック回路領域内の前記ゲート電極は露出しないように、前記第 2 絶縁層を除去し、

(o) 前記メモリ領域内の前記ストッパ層を除去し、

(p) 前記メモリ領域内の前記第 1 導電層をパターンニングして、該メモリ領域内に前記不揮発性記憶装置のワードゲートを形成すること。

【請求項 2】 請求項 1 において、

前記 (1) において、前記ゲート電極の表面にシリサイド層を形成すること、を含む、半導体装置の製造方法。

【請求項 3】 請求項 1 または 2 において、

前記 (n) において、前記第 2 絶縁層は、研磨することにより除去される、半導体装置の製造方法。

【請求項 4】 請求項 1 ～ 3 のいずれかにおいて、

前記電荷蓄積膜は、ONO 膜を用いる、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリ領域とロジック回路領域とを含む半導体装置の製造方法に関し、特に、メモリ領域に形成される不揮発性記憶装置が 1 つのワードゲートに対して 2 つの電荷蓄積領域を有する半導体装置の製造方法に関する。

【0002】

【背景技術および発明が解決しようとする課題】

不揮発性半導体記憶装置のひとつのタイプとして、チャネル領域とコントロールゲートとの間のゲート絶縁層が酸化シリコン層と窒化シリコン層との積層体からなり、前記窒化シリコン層に電荷がトラップされる MONOS (Metal Oxide Nitride Oxide Semiconductor) 型もしくは SONOS (Silicon Oxide Nitride Oxide Semiconductor) 型

ide Silicon) 型と呼ばれるタイプがある。

【 0 0 0 3 】

MONOS型の不揮発性半導体記憶装置として、図 1 8 に示すデバイスが知られている（文献：Y. Hayashi, et al , 2000 Symposium on VLSI Technology Digest of Technical Papers p. 1 2 2 - p. 1 2 3）。

【 0 0 0 4 】

このMONOS型のメモリセル 1 0 0 は、半導体基板 1 0 上に第 1 ゲート絶縁層 1 2 を介してワードゲート 1 4 が形成されている。そして、ワードゲート 1 4 の両側には、それぞれサイドウォール状の第 1 コントロールゲート 2 0 と第 2 コントロールゲート 3 0 とが配置されている。第 1 コントロールゲート 2 0 の底部と半導体基板 1 0 との間には、第 2 ゲート絶縁層 2 2 が存在し、第 1 コントロールゲート 2 0 の側面とワードゲート 1 4 との間には絶縁層 2 4 が存在する。同様に、第 2 コントロールゲート 3 0 の底部と半導体基板 1 0 との間には、第 2 ゲート絶縁層 2 2 が存在し、第 2 コントロールゲート 3 0 の側面とワードゲート 1 4 との間には絶縁層 2 4 が存在する。そして、隣り合うメモリセルの、対向するコントロールゲート 2 0 とコントロールゲート 3 0 との間の半導体基板 1 0 には、ソース領域またはドレイン領域を構成する不純物層 1 6, 1 8 が形成されている。

【 0 0 0 5 】

このように、ひとつのメモリセル 1 0 0 は、ワードゲート 1 4 の側面に 2 つの MONOS型メモリ素子を有する。また、これらの 2 つの MONOS型メモリ素子は独立に制御される。したがって、ひとつのメモリセル 1 0 0 は、2 ビットの情報を記憶することができる。

【 0 0 0 6 】

本発明の目的は、2 つの電荷蓄積領域を有する MONOS型の不揮発性記憶装置を含む半導体装置の製造方法であって、MONOS型のメモリセルを含むメモリ領域と、メモリの周辺回路などを含むロジック回路領域とを同一基板上に形成する方法を提供することにある。

【 0 0 0 7 】

【課題を解決するための手段】

本発明の半導体装置の製造方法は、不揮発性記憶装置を含むメモリ領域と、該不揮発性記憶装置の周辺回路を含むロジック回路領域とを含む半導体装置の製造方法であって、以下の工程を含む。

【 0 0 0 8 】

- (a) 半導体層の上方に、第 1 絶縁層を形成し、
- (b) 前記第 1 絶縁層の上方に、第 1 導電層を形成し、
- (c) 前記第 1 導電層の上方に、ストッパ層を形成し、
- (d) 前記メモリ領域内の前記ストッパ層と前記第 1 導電層とをパターニングし、
- (e) 前記メモリ領域と前記ロジック回路領域との全面に電荷蓄積膜を形成し、
- (f) 前記電荷蓄積膜の上方に、第 2 導電層を形成し、該第 2 導電層を異方性エッチングすることにより、少なくとも前記メモリ領域内の前記第 1 導電層の両側面に、前記電荷蓄積膜を介してサイドウォール状のコントロールゲートを形成し、
- (g) 前記ストッパ層および前記第 1 導電層からなる積層体の両側面で、前記コントロールゲートの少なくとも上部に第 1 サイドウォール絶縁層を形成し、
- (h) 前記ロジック回路領域内の前記ストッパ層を除去し、
- (i) 前記ロジック回路領域内の前記第 1 導電層をパターニングして、該ロジック回路領域内に絶縁ゲート電界効果トランジスタのゲート電極を形成し、
- (j) 前記ゲート電極の両側面にサイドウォール絶縁層を形成し、かつ、前記第 1 サイドウォール絶縁層と前記コントロールゲートを覆うように第 2 サイドウォール絶縁層を形成し、
- (k) 前記不揮発性記憶装置のソース領域またはドレイン領域となる第 1 不純物層と、前記絶縁ゲート電界効果トランジスタのソース領域またはドレイン領域となる第 2 不純物層とを形成し、
- (l) 前記第 1 不純物層と前記第 2 不純物層との表面にシリサイド層を形成し、
- (m) 前記メモリ領域と前記ロジック回路領域との全面に第 2 絶縁層を形成し



(n) 前記メモリ領域内の前記ストッパ層は露出し、かつ、前記ロジック回路領域内の前記ゲート電極は露出しないように、前記第2絶縁層を除去し、

(o) 前記メモリ領域内の前記ストッパ層を除去し、

(p) 前記メモリ領域内の前記第1導電層をパターニングして、該メモリ領域内に前記不揮発性記憶装置のワードゲートを形成すること。

本発明の半導体装置の製造方法によれば、ゲート電極とストッパ層からなる積層体の側面に、コントロールゲート上部を覆うように第1サイドウォール絶縁層が形成されているため、後の工程で、第2サイドウォール絶縁層が形成される面の段差が小さくなり、第2サイドウォール絶縁層を良好に形成することができる。すなわち、第1サイドウォール絶縁層と第2サイドウォール絶縁層とで、コントロールゲートを完全に覆う絶縁層を形成することができる。したがって、コントロールゲートがその上方に配置される配線とショートしてしまうという問題を回避することができる。

#### 【0009】

#### 【発明の実施の形態】

以下、本発明の実施の形態について説明する。図1は、本実施の形態に係る製造方法によって得られた半導体装置のメモリ領域のレイアウトを示す平面図である。図2は、本実施の形態に係る半導体装置の一部分を示す平面図である。図3は、図2のA-A線に沿った断面図である。

#### 【0010】

図1～図3に示す半導体装置は、MONOS型不揮発性記憶装置（以下、「メモリセル」という）100が複数の行および列に格子状に配列されてメモリセルアレイを構成しているメモリ領域1000と、メモリの周辺回路などを含むロジック回路領域2000とを含む。

#### 【0011】

#### （デバイスの構造）

まず、図1を参照しながら、メモリ領域1000のレイアウトについて説明する。



## 【 0 0 1 2 】

図 1 には、メモリ領域 1 0 0 0 の一部である第 1 のブロック B 1 と、これに隣り合う第 2 のブロック B 2 とが示されている。

## 【 0 0 1 3 】

第 1 のブロック B 1 と第 2 のブロック B 2 との間の一部領域には、素子分離領域 3 0 0 が形成されている。各ブロック B 1, B 2 においては、X 方向（行方向）に延びる複数のワード線 5 0（WL）と、Y 方向（列方向）に延びる複数のビット線 6 0（BL）とが設けられている。一本のワード線 5 0 は、X 方向に配列された複数のワードゲート 1 4 に接続されている。ビット線 6 0 は不純物層 1 6, 1 8 によって構成されている。

## 【 0 0 1 4 】

第 1 および第 2 コントロールゲート 2 0, 3 0 を構成する導電層 4 0 は、各不純物層 1 6, 1 8 を囲むように形成されている。すなわち、第 1, 第 2 コントロールゲート 2 0, 3 0 は、それぞれ Y 方向に延びており、1 組の第 1, 第 2 コントロールゲート 2 0, 3 0 の一方の端部は、X 方向に延びる導電層によって互いに接続されている。また、1 組の第 1 および第 2 コントロールゲート 2 0, 3 0 の他方の端部はともに 1 つの共通コンタクト部 2 0 0 に接続されている。したがって、各第 1 および第 2 コントロールゲート 2 0, 3 0 は、メモリセルのコントロールゲートの機能と、Y 方向に配列された各コントロールゲートを接続する配線としての機能とを有する。

## 【 0 0 1 5 】

単一のメモリセル 1 0 0 は、1 つのワードゲート 1 4 と、このワードゲート 1 4 の両側に形成された第 1 および第 2 コントロールゲート 2 0, 3 0 と、これらの第 1 および第 2 コントロールゲート 2 0, 3 0 の外側であって、半導体基板内に形成された不純物層 1 6, 1 8 とを含む。そして、不純物層 1 6, 1 8 は、それぞれ隣り合うメモリセル 1 0 0 によって共有される。

## 【 0 0 1 6 】

Y 方向に互いに隣り合う不純物層 1 6 であって、ブロック B 1 に形成された不純物層 1 6 とブロック B 2 に形成された不純物層 1 6 とは、半導体基板内に形成

されたコンタクト用不純物層 4 0 0 によって互いに電氣的に接続されている。このコンタクト用不純物層 4 0 0 は、不純物層 1 6 に対し、コントロールゲートの共通コンタクト部 2 0 0 とは反対側に形成される。

【 0 0 1 7 】

このコンタクト用不純物層 4 0 0 上には、コンタクト 3 5 0 が形成されている。不純物層 1 6 によって構成されたビット線 6 0 は、このコンタクト 3 5 0 によって、上層の配線層に電氣的に接続される。

【 0 0 1 8 】

同様に、Y 方向に互いに隣り合う 2 つの不純物層 1 8 は、共通コンタクト部 2 0 0 が配置されていない側において、コンタクト用不純物層 4 0 0 によって互いに電氣的に接続されている。

【 0 0 1 9 】

図 1 からわかるように、1 つのブロックにおいて、複数の共通コンタクト部 2 0 0 の平面レイアウトは、不純物層 1 6 と不純物層 1 8 とで交互に異なる側に形成され、千鳥配置となる。

【 0 0 2 0 】

次に、図 2 および図 3 を参照しながら、半導体装置の平面構造および断面構造について説明する。メモリ領域 1 0 0 0 と隣り合う位置に、例えばメモリの周辺回路を構成するロジック回路領域 2 0 0 0 が形成されている。メモリ領域 1 0 0 0 とロジック回路領域 2 0 0 0 とは、素子分離領域 3 0 0 によって電氣的に分離されている。メモリ領域 1 0 0 0 には、少なくともメモリセル 1 0 0 が形成されている。ロジック回路領域 2 0 0 0 には、少なくともロジック回路を構成する絶縁ゲート電界効果トランジスタ（以下、「MOS トランジスタ」という）5 0 0 が形成されている。

【 0 0 2 1 】

まず、メモリ領域 1 0 0 0 について説明する。

【 0 0 2 2 】

メモリセル 1 0 0 は、半導体基板 1 0 の上方に第 1 ゲート絶縁層 1 2 を介して形成されたワードゲート 1 4 と、半導体基板 1 0 内に形成された、ソース領域ま

たはドレイン領域を構成する不純物層 1 6, 1 8 と、ワードゲート 1 4 の両側に沿ってそれぞれ形成された、サイドウォール状の第 1 および第 2 のコントロールゲート 2 0, 3 0 とを含む。また、不純物層 1 6, 1 8 上には、シリサイド層 9 2 が形成されている。

## 【 0 0 2 3 】

第 1 コントロールゲート 2 0 は、半導体基板 1 0 の上方に第 2 ゲート絶縁層（電荷蓄積膜） 2 2 を介して形成され、かつ、ワードゲート 1 4 の一方の側面に対してサイド絶縁層 2 4 を介して形成されている。同様に、第 2 コントロールゲート 3 0 は、半導体基板 1 0 の上方に第 2 ゲート絶縁層 2 2 を介して形成され、かつ、ワードゲート 1 4 の他方の側面に対してサイド絶縁層 2 4 を介して形成されている。

## 【 0 0 2 4 】

第 2 ゲート絶縁層 2 2 およびサイド絶縁層 2 4 は、ONO 膜である。具体的には、第 2 ゲート絶縁層 2 2 およびサイド絶縁層 2 4 は、ボトム酸化シリコン層（第 1 酸化シリコン層）、窒化シリコン層、トップ酸化シリコン層（第 2 酸化シリコン層）の積層膜である。

## 【 0 0 2 5 】

第 2 ゲート絶縁層 2 2 の第 1 酸化シリコン層は、チャネル領域と電荷蓄積領域との間に電位障壁（potential barrier）を形成する。第 2 ゲート絶縁層 2 2 の窒化シリコン層は、キャリア（たとえば電子）をトラップする電荷蓄積領域として機能する。第 2 ゲート絶縁層 2 2 の第 2 酸化シリコン層は、コントロールゲートと電荷蓄積領域との間に電位障壁を形成する。

## 【 0 0 2 6 】

サイド絶縁層 2 4 は、ワードゲート 1 4 と、第 1 および第 2 コントロールゲート 2 0, 3 0 とをそれぞれ電氣的に分離させる。また、サイド絶縁層 2 4 の上端は、ワードゲート 1 4 と第 1 および第 2 コントロールゲート 2 0, 3 0 とのショートを防ぐために、第 1 および第 2 コントロールゲート 2 0, 3 0 の上端に比べ、半導体基板 1 0 に対して上方に位置している。

## 【 0 0 2 7 】

サイド絶縁層 2 4 と第 2 ゲート絶縁層 2 2 とは、同一の成膜工程で形成され、それぞれの層構造は等しくなる。

#### 【 0 0 2 8 】

そして、隣り合うメモリセル 1 0 0 において、隣り合う第 1 コントロールゲート 2 0 と第 2 コントロールゲート 3 0 との間には、埋め込み絶縁層 7 0 が形成される。この埋め込み絶縁層 7 0 は、少なくとも第 1 および第 2 コントロールゲート 2 0, 3 0 が露出しないようにこれらを覆っている。具体的には、埋込み絶縁層 7 0 の上面は、サイド絶縁層 2 4 の上端より半導体基板 1 0 に対して上方に位置している。埋込み絶縁層 7 0 をこのように形成することで、第 1 および第 2 コントロールゲート 2 0, 3 0 と、ワードゲート 1 4 およびワード線 5 0 との電気的分離をより確実に行うことができる。

#### 【 0 0 2 9 】

また、第 1 および第 2 コントロールゲート 2 0 および 3 0 の上部を覆うように、第 1 サイドウォール絶縁層 4 4 が形成されている。さらに、第 1 サイドウォール絶縁層 4 4 と、第 1 および第 2 コントロールゲート 2 0 および 3 0 を覆うように第 2 サイドウォール絶縁層 1 5 2 a が形成されている。第 2 サイドウォール絶縁層 1 5 2 a は、ロジック領域 2 0 0 0 のサイドウォール絶縁層 1 5 2 と同一の工程によって形成される。

#### 【 0 0 3 0 】

共通コンタクト部 2 0 0 には、第 1 および第 2 コントロールゲート 2 0, 3 0 に所定の電位を供給するための導電層が形成されている。共通コンタクト部 2 0 0 は、図 2 に示すように、第 1 コンタクト導電層 2 1 4、第 1 コンタクト導電層 2 1 4 の下方に位置する第 1 コンタクト絶縁層（図示せず）、第 2 コンタクト絶縁層 2 1 0、第 2 コンタクト導電層 2 3 2、第 3 コンタクト絶縁層 2 5 2 および第 3 コンタクト導電層 2 6 0 から構成されている。

#### 【 0 0 3 1 】

第 2 コンタクト絶縁層 2 1 0 は、第 1 酸化シリコン層、窒化シリコン層および第 2 酸化シリコン層の積層体から構成されている。第 1 コンタクト導電層 2 1 4 は、第 2 コンタクト絶縁層 2 1 0 の外側に形成されている。第 2 コンタクト導電

層 2 3 2 は、第 2 コンタクト絶縁層 2 1 0 の内側に形成されている。第 2 コンタクト導電層 2 3 2 は、第 1 および第 2 コントロールゲート 2 0, 3 0 と同一の材質で形成されている。第 3 コンタクト絶縁層 2 5 2 は、第 2 コンタクト導電層 2 3 2 の内側に形成されている。第 3 コンタクト導電層 2 6 0 は、第 1 コンタクト導電層 2 1 4 と第 2 コンタクト導電層 2 3 2 とに接続されている。

## 【 0 0 3 2 】

ついで、ロジック回路領域 2 0 0 0 について説明する。

## 【 0 0 3 3 】

ロジック回路領域 2 0 0 0 においては、MOS トランジスタ 5 0 0 が形成されている。MOS トランジスタ 5 0 0 は、半導体基板 1 0 の上方に第 3 ゲート絶縁層 1 2 2 を介して形成されたゲート電極 1 4 2 と、半導体基板 1 0 内に形成されたソース領域またはドレイン領域を構成する不純物層 1 6 2, 1 8 2 と、ゲート電極 1 4 2 の両側面に沿ってそれぞれ形成されたサイドウォール絶縁層 1 5 2 とを含む。さらに、不純物層 1 6 2, 1 8 2 の上面にはシリサイド層 1 9 2 が形成され、ゲート電極 1 4 2 の上面にはシリサイド層 1 9 4 が形成されている。

## 【 0 0 3 4 】

MOS トランジスタ 5 0 0 は絶縁層 2 7 0 によって覆われている。この絶縁層 2 7 0 は、埋込み絶縁層 7 0 と同一の工程で形成される。

## 【 0 0 3 5 】

メモリ領域 1 0 0 0 とロジック回路領域 2 0 0 0 との境界領域には、図 2 および図 3 に示すように、ワードゲート 1 4 およびゲート電極 1 4 2 と同一の材質からなる境界部 1 4 0 c が形成される。この境界部 1 4 0 c は、ワードゲート 1 4 およびゲート電極 1 4 2 と同一の成膜工程で形成される。また、境界部 1 4 0 c の少なくとも一部は、素子分離領域 3 0 0 の上方に形成されている。

## 【 0 0 3 6 】

境界部 1 4 0 c の一方の側面（メモリ領域 1 0 0 0 側）には、第 1 および第 2 コントロールゲート 2 0, 3 0 と同一の材質のサイドウォール状導電層 2 0 a が形成されている。このサイドウォール状導電層 2 0 a は、Y 方向に延びており、共通コンタクト部 2 0 0 を介して隣り合う第 2 コントロールゲート 3 0 と電氣的

に接続されている。このサイドウォール状導電層 2 0 a は、メモリセルのコントロールゲートとしては利用されない。しかしながら、サイドウォール状導電層 2 0 a を隣り合う第 2 コントロールゲート 3 0 と電氣的に接続させることによって、サイドウォール状導電層 2 0 a と隣り合う第 2 コントロールゲート 3 0 の電気特性を、他のコントロールゲートの電気特性と等しくすることができる。

## 【 0 0 3 7 】

また、境界部 1 4 0 c の他の側面（ロジック回路領域 2 0 0 0 側）には、MOS トランジスタ 5 0 0 のサイドウォール絶縁層 1 5 2 の形成と同一の工程によって形成されたサイドウォール状絶縁層 1 5 2 が形成されている。

## 【 0 0 3 8 】

メモリセル 1 0 0 および MOS トランジスタ 5 0 0 などが形成された半導体基板 1 0 上方には、層間絶縁層 7 2 が形成されている。

## 【 0 0 3 9 】

（半導体装置の製造方法）

次に、図 4 ～図 1 7 を参照しながら、本実施の形態に係る半導体装置の製造方法について説明する。各断面図は、図 2 の A - A 線に沿った部分に対応する。図 4 ～図 1 7 において、図 1 ～図 3 で示す部分と実質的に同一の部分には同一の符号を付し、重複する記載は省略する。

## 【 0 0 4 0 】

（1）図 4 に示すように、まず、半導体基板 1 0 の表面に、トレンチアイソレーション法によって素子分離領域 3 0 0 を形成する。

## 【 0 0 4 1 】

次いで、半導体基板 1 0 の表面に、ゲート絶縁層となる絶縁層 1 2 0 を形成する。次いで、ワードゲート 1 4 とゲート電極 1 4 2 とになるゲート層（第 1 導電層）1 4 0 を絶縁層 1 2 0 上に堆積する。ゲート層 1 4 0 はドーフトポリシリコンからなる。次いで、後の CMP 工程におけるストッパ層 S 1 0 0 をゲート層 1 4 0 上に形成する。ストッパ層 S 1 0 0 は、窒化シリコン層からなる。

## 【 0 0 4 2 】

（2）次いで、ロジック回路領域 2 0 0 0 の全てを覆い、さらに、メモリ領域



1 0 0 0 の一部にまで張り出したレジスト層（図示しない）を形成する。次いで、このレジスト層をマスクとしてストッパ層 S 1 0 0 をパターニングする。その後、レジスト層を除去し、パターニングされたストッパ層 S 1 0 0 をマスクとして、ゲート層 1 4 0 をエッチングする。図 5 に示すように、メモリ領域 1 0 0 0 では、ゲート層 1 4 0 がパターニングされゲート層 1 4 0 a となる。一方、この工程では、ロジック回路領域 2 0 0 0 内のゲート層 1 4 0 はパターニングされない（以後、ロジック回路領域内のゲート層 1 4 0 を便宜的に 1 4 0 b と呼ぶ）。

#### 【 0 0 4 3 】

パターニング後の様子を平面的に示したのが図 6 である。このパターニングによって、メモリ領域 1 0 0 0 内のゲート層 1 4 0 a およびストッパ層 S 1 0 0 の積層体には、開口部 1 6 0, 1 8 0 が設けられる。開口部 1 6 0, 1 8 0 は、後のイオン注入によって不純物層 1 6, 1 8 が形成される領域にほぼ対応している。そして、後の工程で、開口部 1 6 0, 1 8 0 の側面に沿ってサイド絶縁層とコントロールゲートとが形成される。

#### 【 0 0 4 4 】

(3) 図 7 に示すように、半導体基板 1 0 上に、電荷蓄積膜である ONO 膜 2 2 0 を全面的に形成する。ONO 膜 2 2 0 は、第 1 酸化シリコン層、窒化シリコン層および第 2 酸化シリコン層を順次堆積させることで形成される。第 1 酸化シリコン層は、たとえば熱酸化法、CVD 法を用いて成膜することができる。窒化シリコン層は、たとえば CVD 法によって成膜することができる。第 2 酸化シリコン層は、CVD 法、具体的には高温酸化法（HTO）を用いて成膜することができる。これらの各層を成膜した後、アニール処理を行い、各層を緻密化することが好ましい。

#### 【 0 0 4 5 】

ONO 膜 2 2 0 は、後のパターニングによって、第 2 ゲート絶縁層 2 2 およびサイド絶縁層 2 4 となる（図 3 参照）。

#### 【 0 0 4 6 】

(4) 図 8 に示すように、ドーフトポリシリコン層（第 2 導電層）2 3 0 を、ONO 膜 2 2 0 上に全面的に形成する。ドーフトポリシリコン層 2 3 0 は、後に



エッチングされて、第 1 および第 2 コントロールゲート 2 0, 3 0 を構成する導電層 4 0 (図 1 参照) となる。

## 【 0 0 4 7 】

(5) 図 9 に示すように、ドーフトポリシリコン層 2 3 0 (図 8 参照) を全面的に異方性エッチングすることにより、第 1 および第 2 コントロールゲート 2 0, 3 0 を形成する。

## 【 0 0 4 8 】

すなわち、このエッチング工程によって、メモリ領域 1 0 0 0 の開口部 1 6 0, 1 8 0 (図 6 参照) の側面に沿って、サイドウォール状の第 1 および第 2 コントロールゲート 2 0, 3 0 が形成される。一方、ロジック回路領域 2 0 0 0 内に堆積されたドーフトポリシリコン層 2 3 0 は完全に除去される。但し、境界領域においては、ゲート層 1 4 0 b の一方の端部 (メモリ領域 1 0 0 0 側) の側面に、ドーフトポリシリコン層 2 3 0 がサイドウォール状に残存し、サイドウォール状導電層 2 0 a が形成される。

## 【 0 0 4 9 】

(6) 図 1 0 に示すように、酸化シリコンまたは窒化シリコンなどの絶縁層 4 2 を全面的に形成する。ついで、図 1 1 に示すように、絶縁層 4 2 を全面的に異方性エッチングをすることにより、ゲート層 1 4 0 a とストッパ層 S 1 0 0 a からなる積層体の側面に、第 1 および第 2 コントロールゲート 2 0, 3 0 の少なくとも上部を覆うように第 1 サイドウォール絶縁層 4 4 が形成される。すなわち、第 1 サイドウォール絶縁層 4 4 は、ゲート層 1 4 0 a とストッパ層 S 1 0 0 からなる積層体の側面と、第 1 および第 2 コントロールゲート 2 0, 3 0 との段差を減少させる役割を果すように形成される。

## 【 0 0 5 0 】

(7) 図 1 2 に示すように、メモリ領域 1 0 0 0 の全てを覆い、さらにロジック回路領域の一部にまで張り出したレジスト層 R 2 0 0 を形成する。次いで、レジスト層 R 2 0 0 をマスクとしてロジック回路領域 2 0 0 0 における ONO 膜 2 2 0 とストッパ層 S 1 0 0 とを除去する。このエッチング工程によって、境界領域を除くロジック回路領域 2 0 0 0 内のストッパ層 S 1 0 0 は全て除去される。

## 【 0 0 5 1 】

このとき、メモリ領域 1 0 0 0 とロジック回路領域 2 0 0 0 との境界領域に位置するゲート層 1 4 0 b であって、上記 ( 2 ) のエッチング工程で使用するレジスト層と、この ( 7 ) のエッチング工程で使用するレジスト層 R 2 0 0 とに共に覆われていた領域は、後の工程で境界部 1 4 0 c ( 図 3 参照 ) となる。また、このパターニングによって形成されたストッパ層 S 1 0 0 a は、メモリ領域 1 0 0 0 内の他のストッパ層 S 1 0 0 より幅が大きい。その後、レジスト層 R 2 0 0 は除去される。

## 【 0 0 5 2 】

( 8 ) 図 1 3 に示すように、ゲート電極 1 4 2 を形成するためのレジスト層 R 3 0 0 が形成される。このレジスト層 R 3 0 0 は、メモリ領域 1 0 0 0 の全てと、ロジック回路領域 2 0 0 0 内の所定の部分とを覆うようにパターニングされている。次いで、レジスト層 R 3 0 0 をマスクとしてゲート層 1 4 0 b ( 図 1 2 参照 ) をエッチングすることにより、ロジック回路領域 2 0 0 0 内にゲート電極 1 4 2 が形成される。また、このエッチングによって、境界領域にはレジスト層 R 3 0 0 とストッパ層 S 1 0 0 a とをマスクとして自己整合的に境界部 1 4 0 c がパターニングされる。

## 【 0 0 5 3 】

その後、レジスト層 R 3 0 0 は除去される。次いで、N型不純物をドーピングすることで、ロジック回路領域 2 0 0 0 においてソース領域およびドレイン領域のエクステンション層 1 6 1 , 1 8 1 が形成される。ついで、レジスト層 R 3 0 0 を除去する。

## 【 0 0 5 4 】

( 9 ) 図 1 4 に示すように、メモリ領域 1 0 0 0 およびロジック回路領域 2 0 0 0 において、酸化シリコンまたは窒化酸化シリコンなどの絶縁層 2 5 0 を全面的に形成する。ついで、図 1 5 に示すように、絶縁層 2 5 0 ( 図 1 4 参照 ) を全面的に異方性エッチングすることにより、ロジック回路領域 2 0 0 0 において、ゲート電極 1 4 2 の両側面にサイドウォール絶縁層 1 5 2 が形成される。これと共に、境界部 1 4 0 c のロジック回路領域 2 0 0 0 側の側面に第 2 サイドウォール

ル絶縁層 1 5 2 が形成される。また、第 1 および第 2 コントロールゲート 2 0, 3 0 および第 1 サイドウォール絶縁層 4 4 を覆うように第 2 サイドウォール絶縁層 1 5 2 a が形成される。さらに、このエッチングによって、後の工程でシリサイド層が形成される領域に堆積された絶縁層は除去され、半導体基板が露出する。

## 【 0 0 5 5 】

( 1 0 ) 次いで、N型不純物をイオン注入することにより、半導体基板 1 0 内に、メモリ領域 1 0 0 0 のソース領域またはドレイン領域を構成する不純物層 1 6, 1 8、およびロジック回路領域 2 0 0 0 のソース領域またはドレイン領域を構成する不純物層 1 6 2, 1 8 2 を形成する。

## 【 0 0 5 6 】

次いで、シリサイド形成用の金属を全面的に堆積させる。シリサイド形成用の金属とは、例えば、チタンやコバルトである。その後、不純物層 1 6, 1 8, 1 6 2, 1 8 2 と、ゲート電極 1 4 2 との上に形成された金属をシリサイド化反応させることにより、不純物層 1 6, 1 8 の上面にシリサイド層 9 2 を形成させ、不純物層 1 6 2, 1 8 2 の上面にシリサイド層 1 9 2 を形成させ、ゲート電極 1 4 2 の上面にシリサイド層 1 9 4 を形成させる。従って、このシリサイド工程によって、ロジック回路領域 2 0 0 0 の MOS トランジスタ 5 0 0 は、ゲート電極と、ソース領域またはドレイン領域とが共に自己整合的にシリサイド化される。また、同一のシリサイド工程によって、メモリ領域 1 0 0 0 のメモリセル 1 0 0 は、ソース領域またはドレイン領域の表面が自己整合的にシリサイド化される。

## 【 0 0 5 7 】

次いで、メモリ領域 1 0 0 0 およびロジック回路領域 2 0 0 0 において、酸化シリコンまたは窒化酸化シリコンなどの絶縁層 2 7 0 を全面的に形成する。絶縁層 2 7 0 は、ストッパ層 S 1 0 0 と S 1 0 0 a とを覆うように形成される。

## 【 0 0 5 8 】

( 1 1 ) 図 1 6 に示すように、絶縁層 2 7 0 を CMP 法を用いて、ストッパ層 S 1 0 0, S 1 0 0 a が露出するまで研磨し、絶縁層 2 7 0 を平坦化する。この研磨によって、第 1 および第 2 コントロールゲート 2 0, 3 0 をはさんで対向す

る 2 つのサイド絶縁層 2 4 の間に絶縁層 2 7 0 が残存され、埋込み絶縁層 7 0 となる。

#### 【 0 0 5 9 】

このとき、メモリ領域 1 0 0 0 においては、ゲート層 1 4 0 a およびストッパ層 S 1 0 0 の側面に形成されたサイド絶縁層 2 4 の上端は、第 1 および第 2 コントロールゲート 2 0, 3 0 の上端に比べ、半導体基板 1 0 に対して上方に位置する。また、ロジック回路領域 2 0 0 0 においては、MOS トランジスタ 5 0 0 は絶縁層 2 7 0 によって完全に覆われている。

#### 【 0 0 6 0 】

従って、この研磨工程が終わった段階で、ワードゲート 1 4 となるゲート層 1 4 0 a と境界部 1 4 0 c との上方にはそれぞれストッパ層 S 1 0 0 と S 1 0 0 a とが存在することになる。一方、ゲート電極 1 4 2 の上方にはストッパ層は無く、絶縁層 2 7 0 が存在することになる。

#### 【 0 0 6 1 】

( 1 2 ) ストッパ層 S 1 0 0, S 1 0 0 a ( 図 1 6 参照 ) を熱りん酸で除去する。この結果、少なくともゲート層 1 4 0 a と境界部 1 4 0 c との上面が露出する。その後、全面的にドーフトポリシリコン層 ( 図示せず ) を堆積させる。

#### 【 0 0 6 2 】

次いで、図 1 7 に示すように、前記ドーフトポリシリコン層上にパターンニングされたレジスト層 R 4 0 0 を形成する。レジスト層 R 4 0 0 をマスクとして、前記ドーフトポリシリコン層をパターンニングすることにより、ワード線 5 0 が形成される。

#### 【 0 0 6 3 】

引き続き、レジスト層 R 4 0 0 をマスクとして、ゲート層 1 4 0 a ( 図 1 4 参照 ) のエッチングが行われる。このエッチングにより、ワード線 5 0 が上方に形成されないゲート層 1 4 0 a が除去される。その結果、アレイ状に配列したワードゲート 1 4 を形成することができる。ゲート層 1 4 0 a の除去領域は、後に形成される P 型不純物層 ( 素子分離用不純物層 ) 1 5 の領域と対応する ( 図 2 参照 ) 。

## 【 0 0 6 4 】

尚、このエッチング工程では、第1および第2のコントロールゲート20、30をなす導電層40は、埋込み絶縁層70で覆われているために、エッチングされずに残る。また、ロジック回路領域2000のMOSトランジスタ500は、絶縁層270によって完全に覆われているため、このエッチングによって影響を受けることは無い。

## 【 0 0 6 5 】

次いで、P型不純物を半導体基板10に全面的にドーピングする。これにより、Y方向におけるワードゲート14の相互間の領域にP型不純物層（素子分離用不純物層）15（図2参照）が形成される。このP型不純物層15によって、不揮発性半導体記憶装置100相互の素子分離がより確実に行われる。

## 【 0 0 6 6 】

以上の工程により、図1、図2および図3に示す半導体装置を製造することができる。

## 【 0 0 6 7 】

本実施の形態の製造方法による利点は、以下の通りである。

## 【 0 0 6 8 】

工程（6）において、ゲート電極14とストッパ層S100からなる積層体の側面に、第1および第2コントロールゲート20、30の上部を覆うように、第1サイドウォール絶縁層44が形成されている。そのため、後の工程で、第2サイドウォール絶縁層152aが形成される面の段差が小さくなり、第2サイドウォール絶縁層152aを良好に形成することができる。すなわち、第1サイドウォール絶縁層44と第2サイドウォール絶縁層152aとで、第1および第2コントロールゲート20、30を完全に覆う絶縁層を形成することができる。第1および第2コントロールゲート20、30の側面にサイドウォール絶縁層が良好に形成されない場合、コントロールゲートの表面にシリサイドが形成されることがある。このような場合、不純物層16によって構成されるビット線60とコントロールゲートが、ショートしてしまうという問題が生じることがあるが、本発明によれば、そのような問題を回避することができる。

【 0 0 6 9 】

以上、本発明の一実施の形態について述べたが、本発明はこれに限定されず、本発明の要旨の範囲内で種々の態様をとりうる。たとえば、上記実施の形態では、半導体層としてバルク状の半導体基板を用いたが、S O I 基板の半導体層を用いてもよい。

【図面の簡単な説明】

【図 1】

半導体装置のレイアウトを模式的に示す平面図である。

【図 2】

半導体装置の要部を模式的に示す平面図である。

【図 3】

図 2 の A - A 線に沿った部分を模式的に示す断面図である。

【図 4】

本実施の形態にかかる半導体装置の製造方法の一工程を示す断面図である。

【図 5】

本実施の形態にかかる半導体装置の製造方法の一工程を示す断面図である。

【図 6】

本実施の形態にかかる半導体装置の製造方法の一工程を示す断面図である。

【図 7】

本実施の形態にかかる半導体装置の製造方法の一工程を示す断面図である。

【図 8】

本実施の形態にかかる半導体装置の製造方法の一工程を示す断面図である。

【図 9】

本実施の形態にかかる半導体装置の製造方法の一工程を示す断面図である。

【図 1 0】

本実施の形態にかかる半導体装置の製造方法の一工程を示す断面図である。

【図 1 1】

本実施の形態にかかる半導体装置の製造方法の一工程を示す断面図である。

【図 1 2】



本実施の形態にかかる半導体装置の製造方法の一工程を示す断面図である。

【図 1 3】

本実施の形態にかかる半導体装置の製造方法の一工程を示す断面図である。

【図 1 4】

本実施の形態にかかる半導体装置の製造方法の一工程を示す断面図である。

【図 1 5】

本実施の形態にかかる半導体装置の製造方法の一工程を示す断面図である。

【図 1 6】

本実施の形態にかかる半導体装置の製造方法の一工程を示す断面図である。

【図 1 7】

本実施の形態にかかる半導体装置の製造方法の一工程を示す断面図である。

【図 1 8】

公知のMONOS型メモリセルを示す断面図である。

【符号の説明】

- 1 0 半導体基板
- 1 2 第1ゲート絶縁層
- 1 4 ワードゲート
- 1 6, 1 8 不純物層
- 2 0 第1コントロールゲート
- 2 2 第2ゲート絶縁層（電荷蓄積膜）
- 2 4 サイド絶縁層
- 3 0 第2コントロールゲート
- 5 0 ワード線
- 6 0 ビット線
- 7 0 埋込み絶縁層
- 7 2 層間絶縁層
- 8 0 配線層
- 1 0 0 不揮発性記憶装置（メモリセル）
- 1 2 0 絶縁層

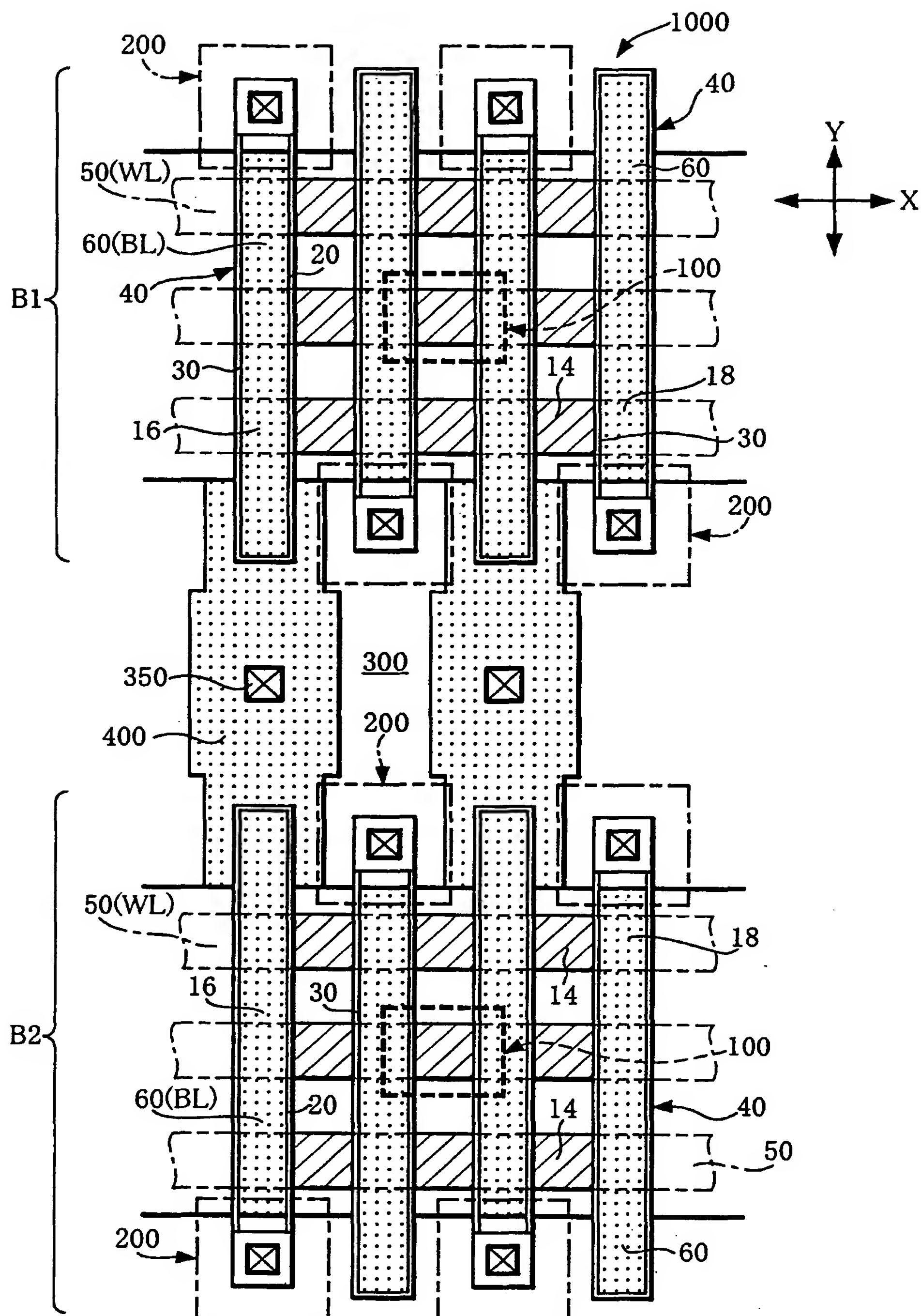


1 2 2 第 3 ゲート絶縁層  
1 4 0, 1 4 0 a, 1 4 0 b ゲート層  
1 4 2 ゲート電極  
1 5 2 サイドウォール絶縁層  
1 6 0, 1 8 0 開口部  
1 6 2, 1 8 2 不純物層  
2 0 0 共通コンタクト部  
2 1 0 第 2 コンタクト絶縁層  
2 1 2 第 1 コンタクト絶縁層  
2 1 4 第 1 コンタクト導電層  
2 2 0 ONO 膜  
2 3 0 ドープドポリシリコン層  
2 3 2 第 2 コンタクト導電層  
2 5 2 第 3 コンタクト絶縁層  
2 6 0 第 3 コンタクト導電層  
2 7 0 絶縁層  
3 0 0 素子分離領域  
4 0 0 コンタクト用不純物層  
5 0 0 絶縁ゲート電界効果トランジスタ (MOS トランジスタ)  
S 1 0 0 ストップ層  
R 1 0 0, R 2 0 0, R 3 0 0, R 4 0 0 レジスト層  
1 0 0 0 メモリ領域  
2 0 0 0 ロジック回路領域

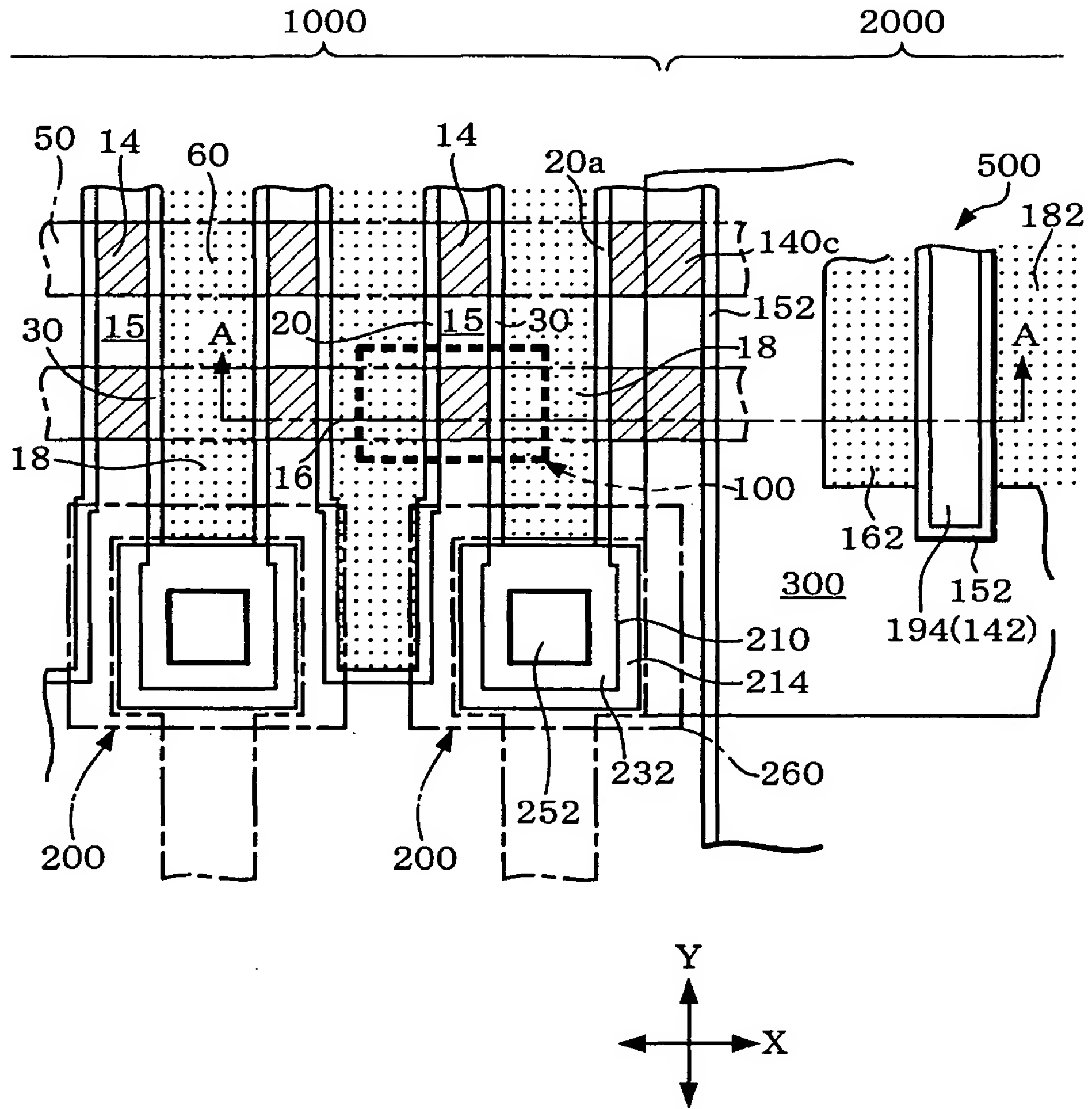
【書類名】

図面

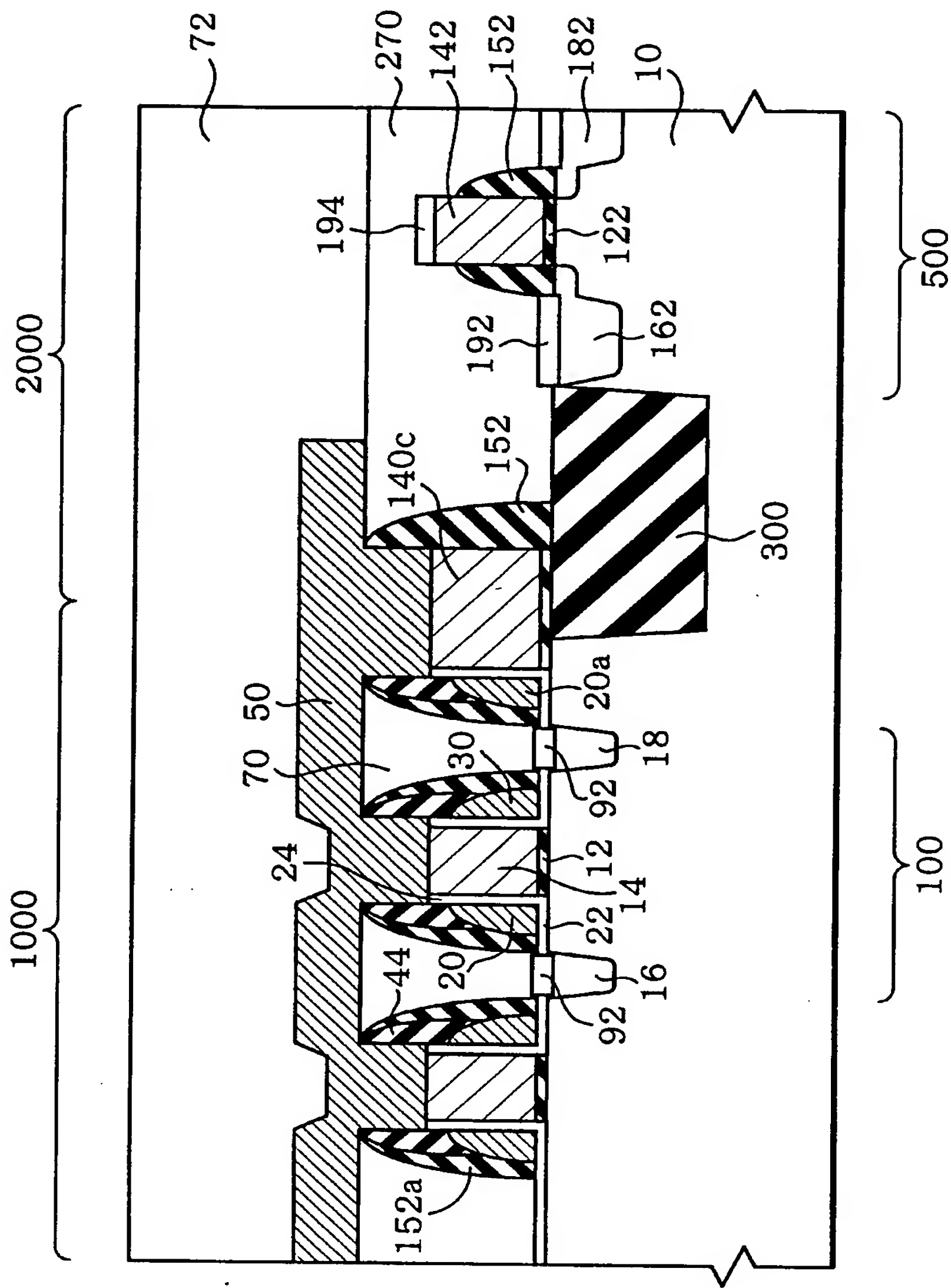
【図 1】



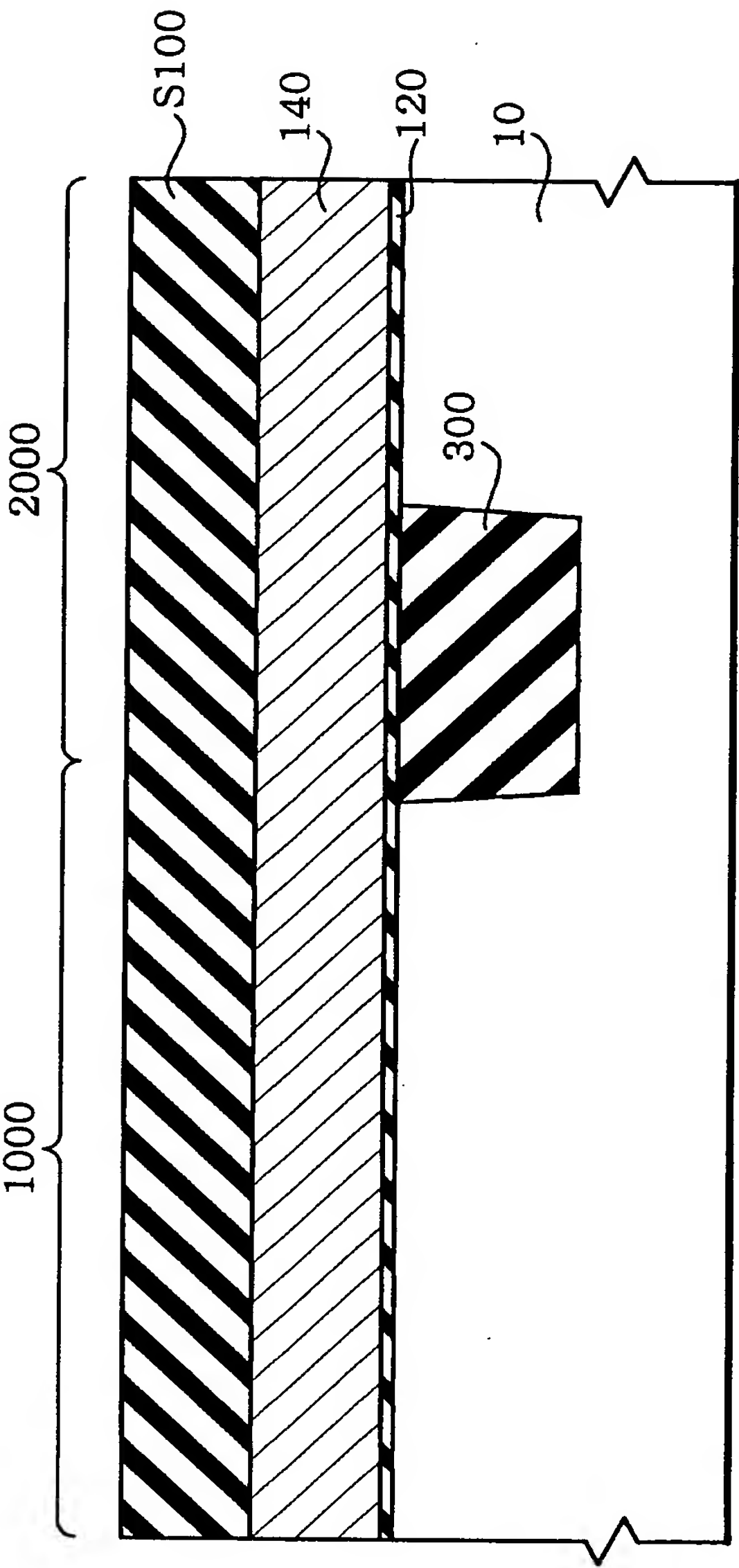
【図 2】



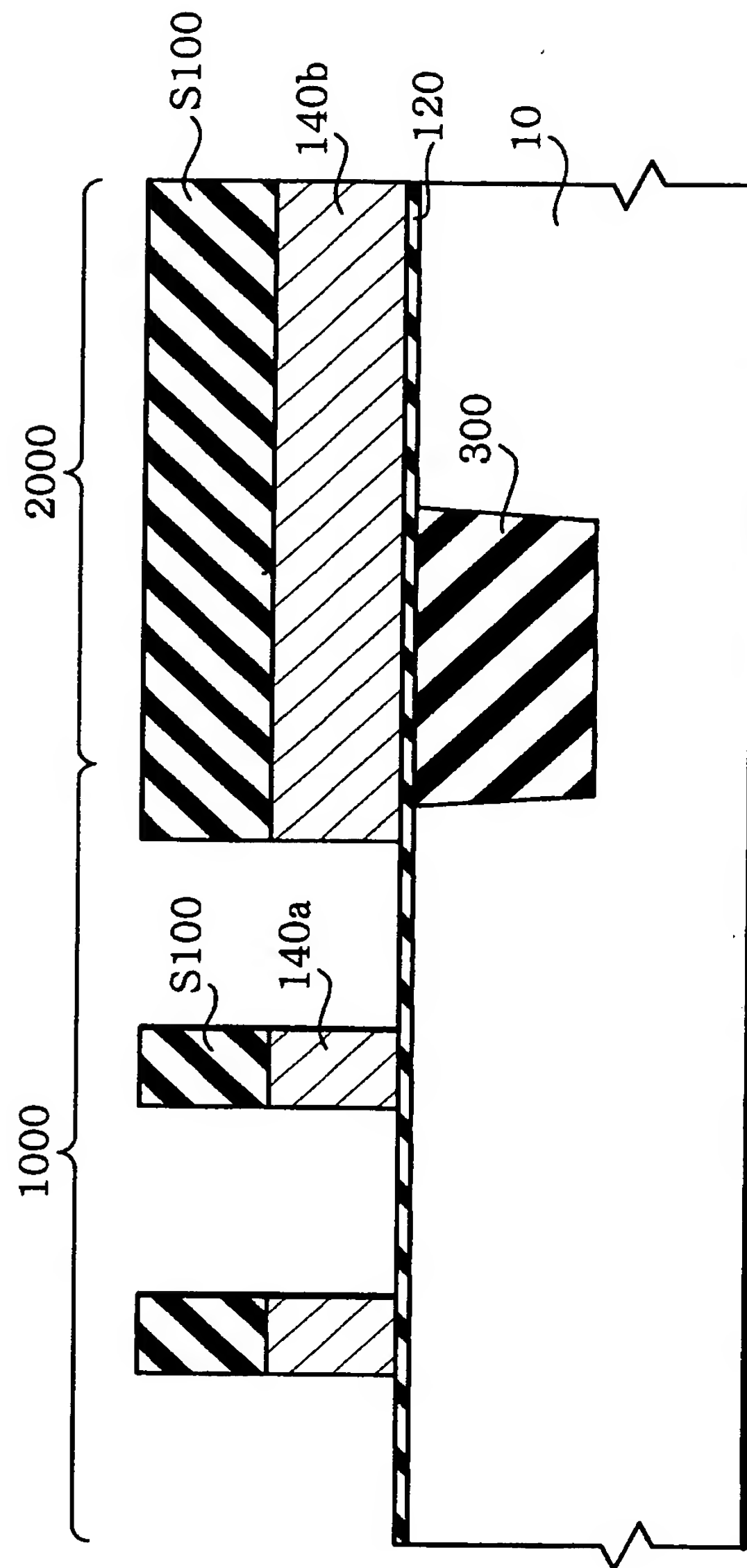
【図 3】



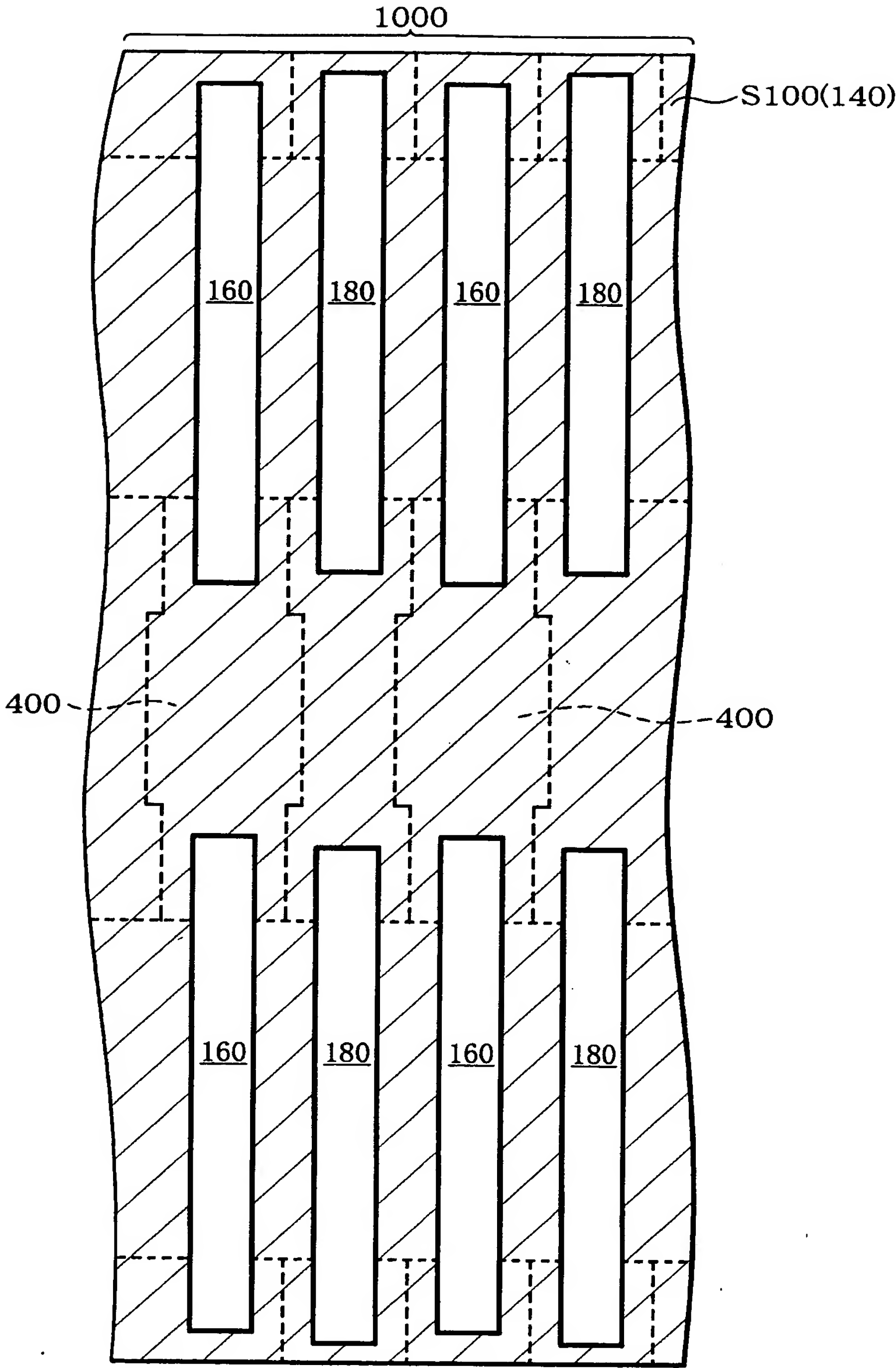
【図 4】



【図 5】

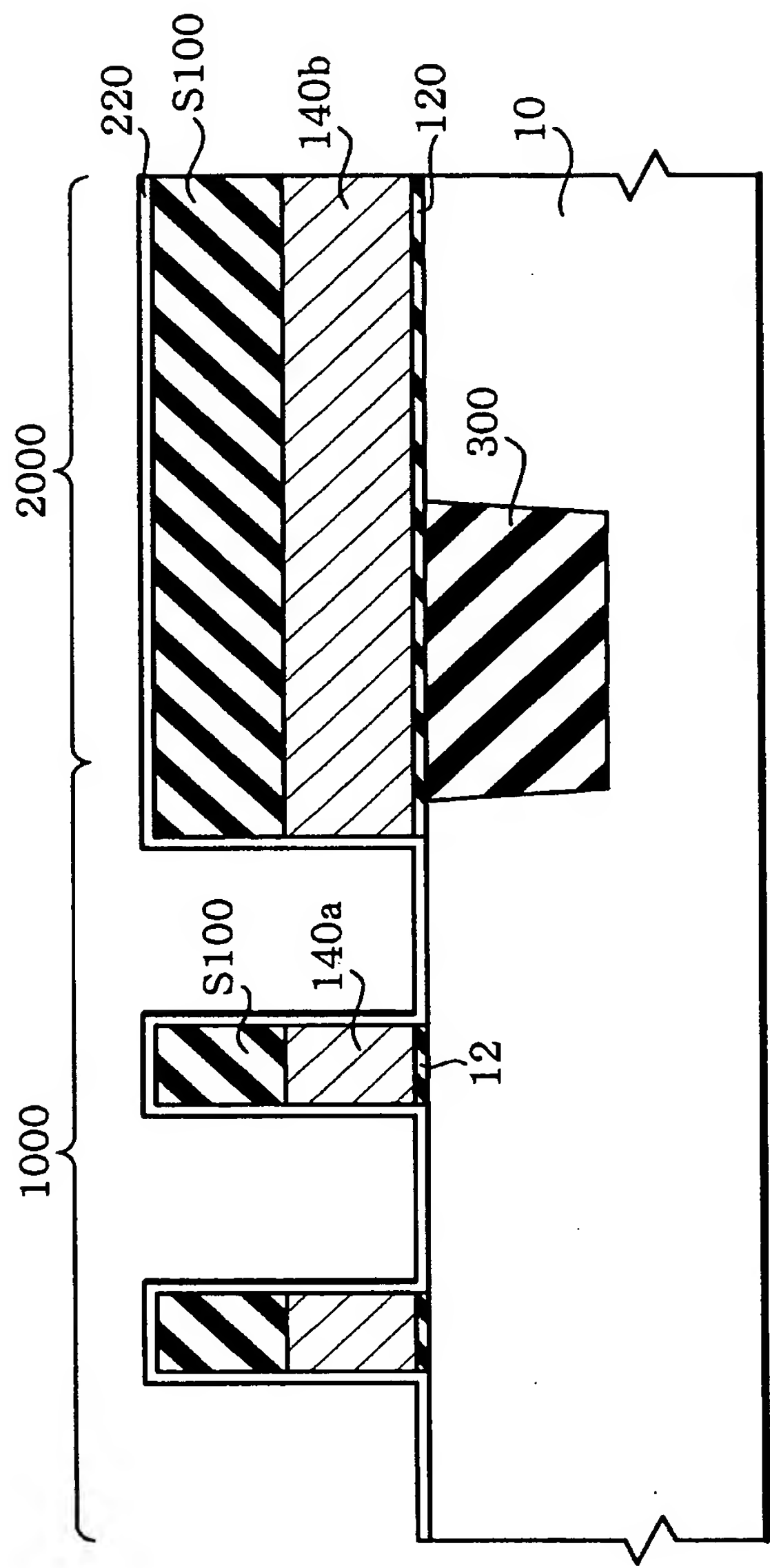


【図 6】

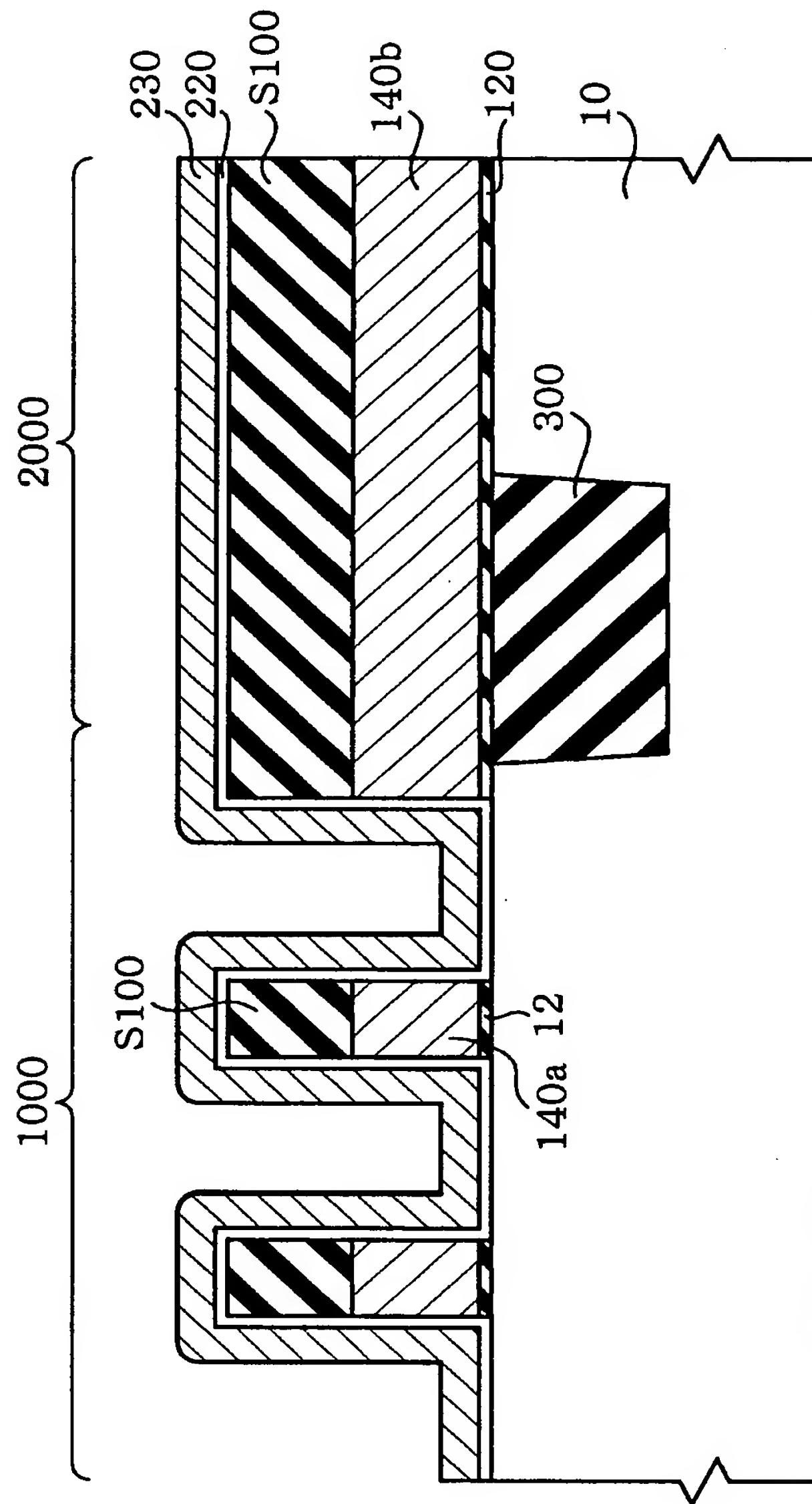




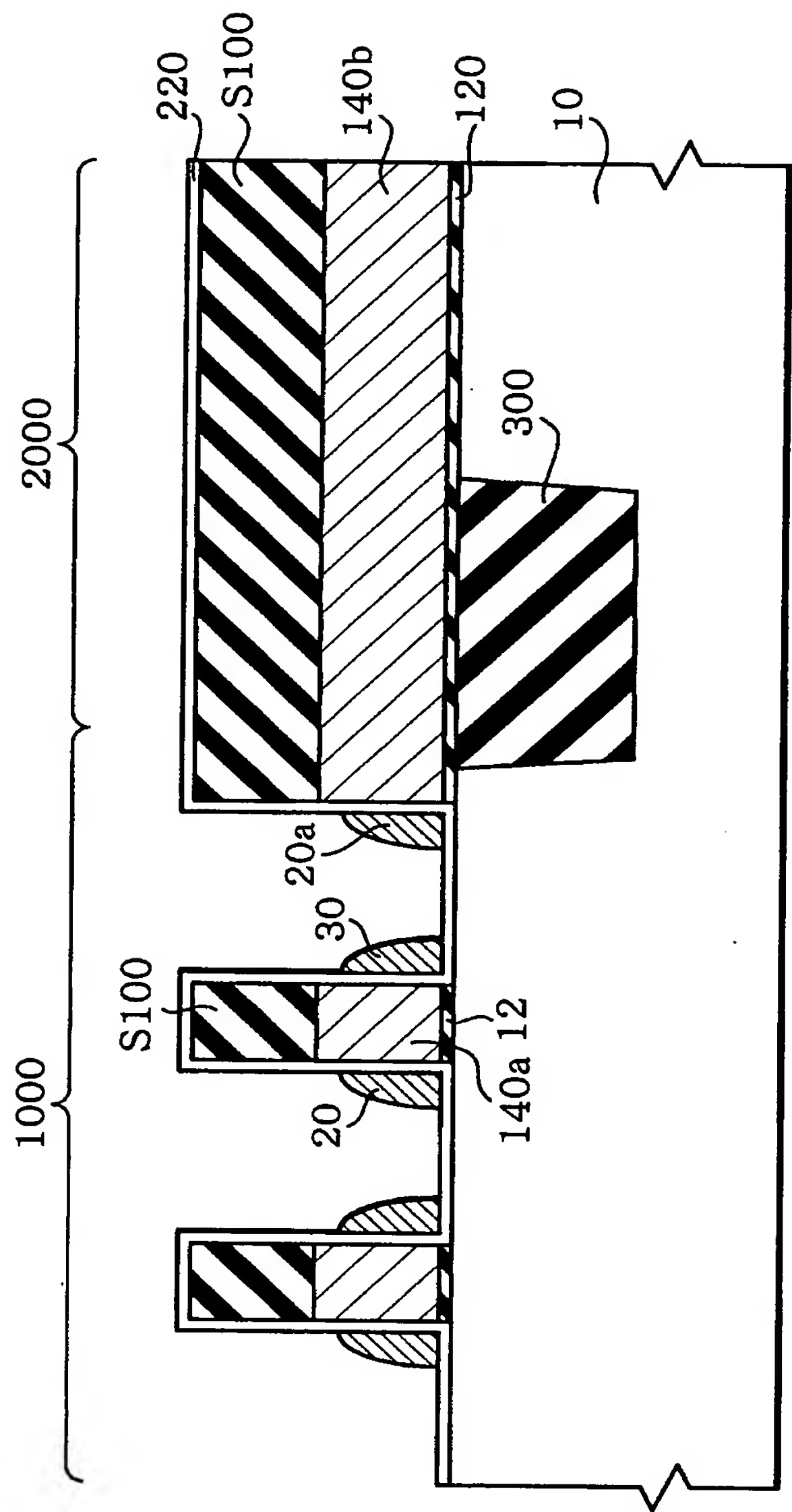
【図 7】



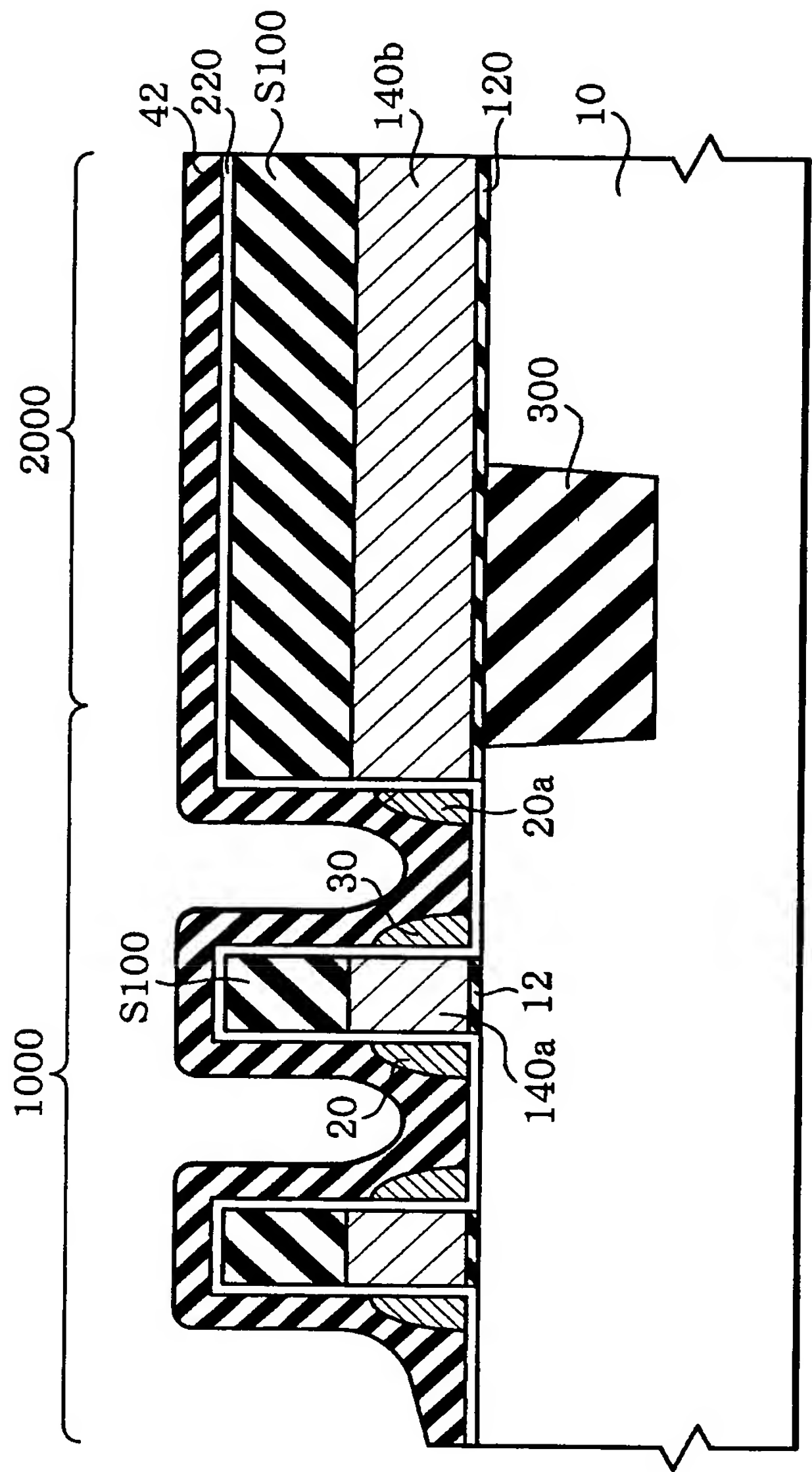
【図 8】



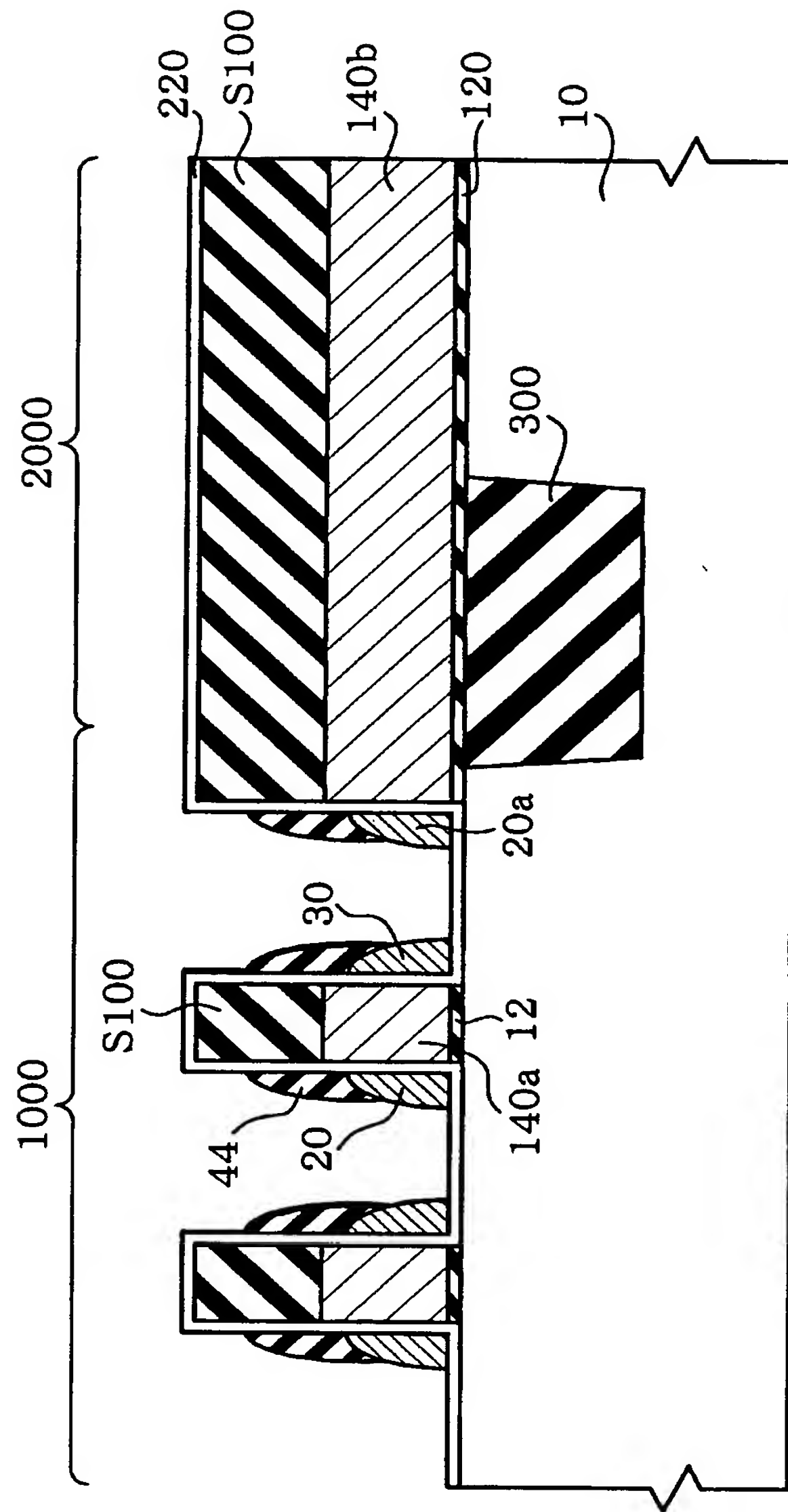
【図 9】



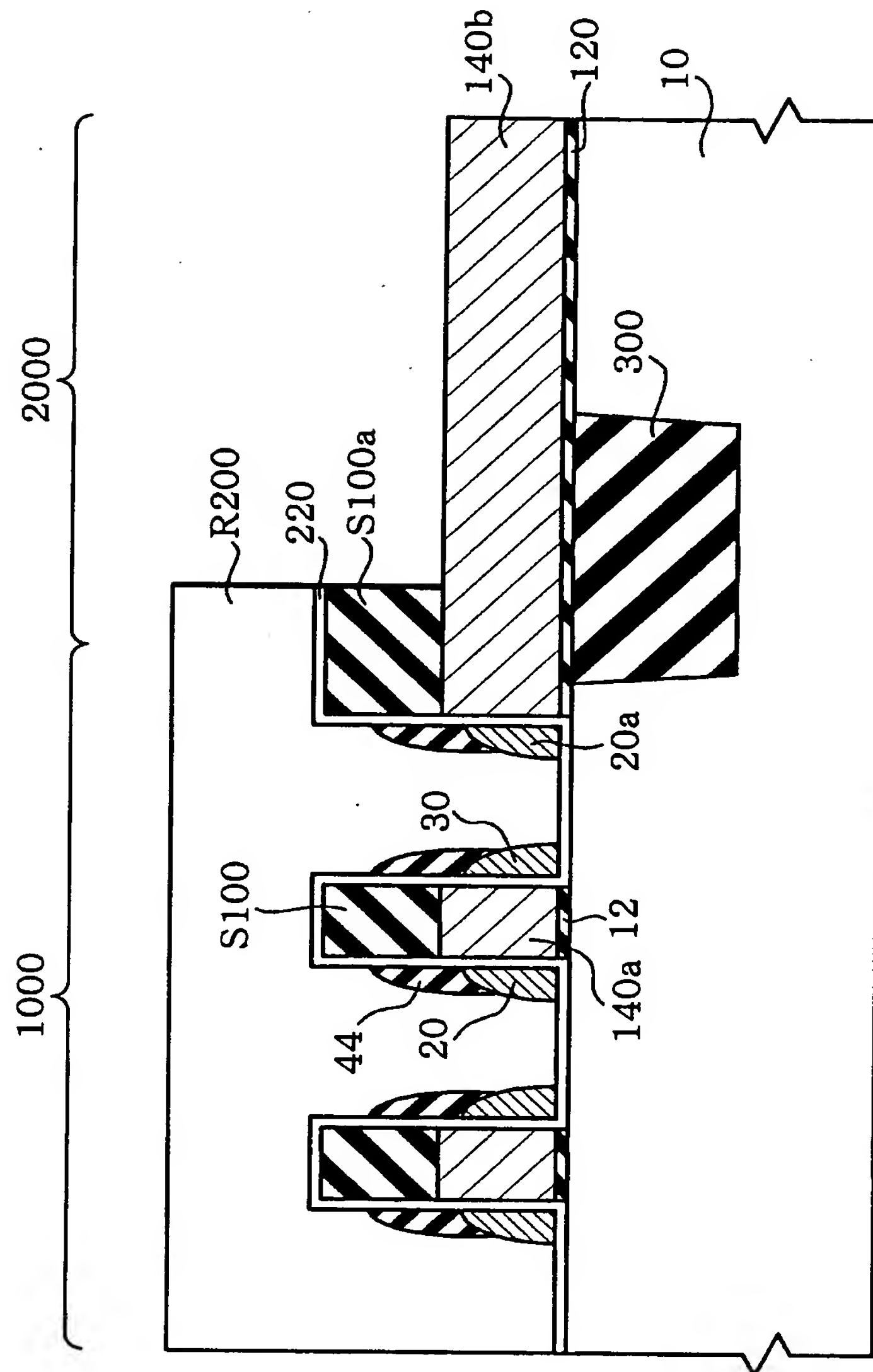
【図 1 0】



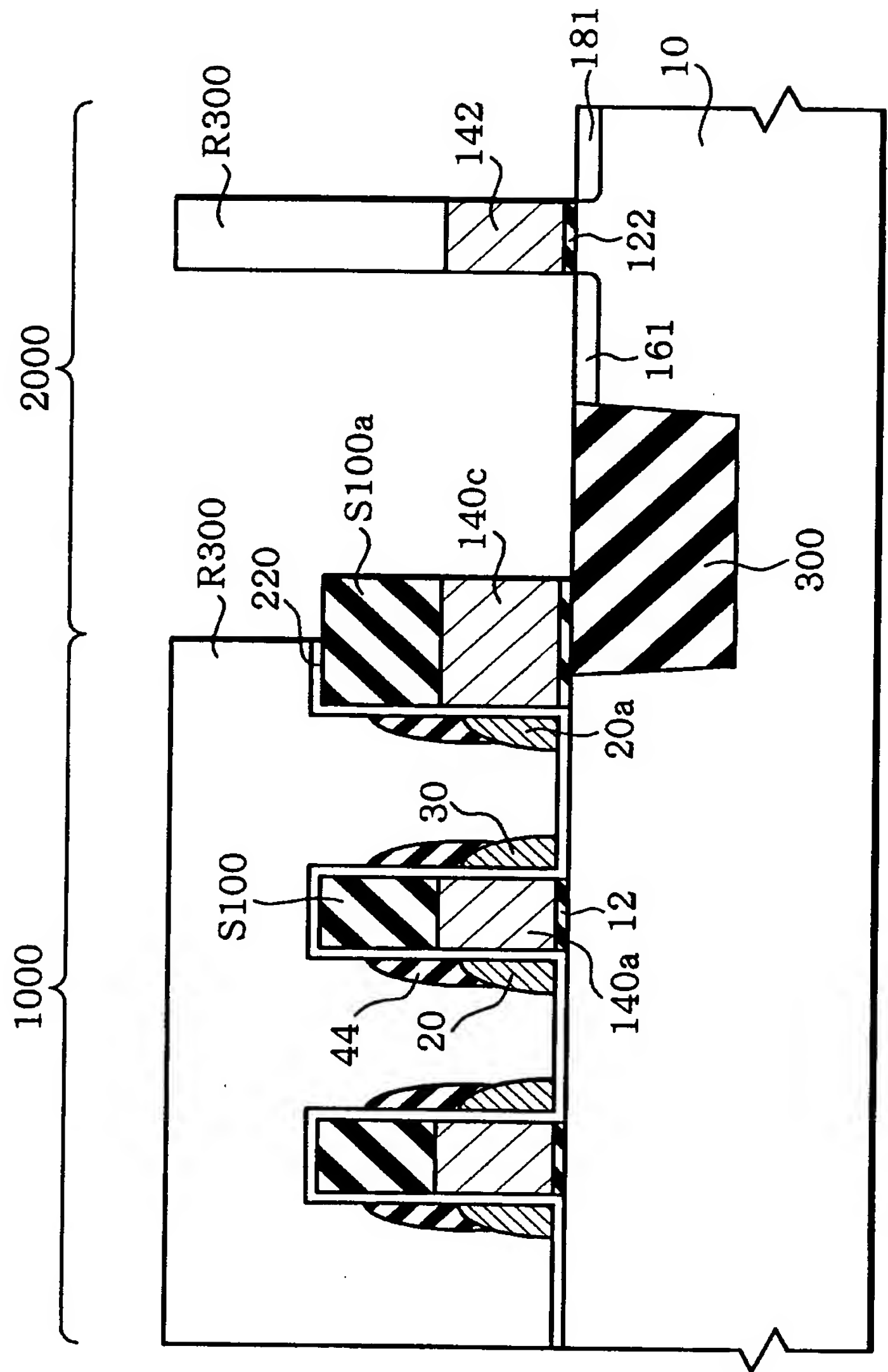
【図 1 1】



【図 1 2】

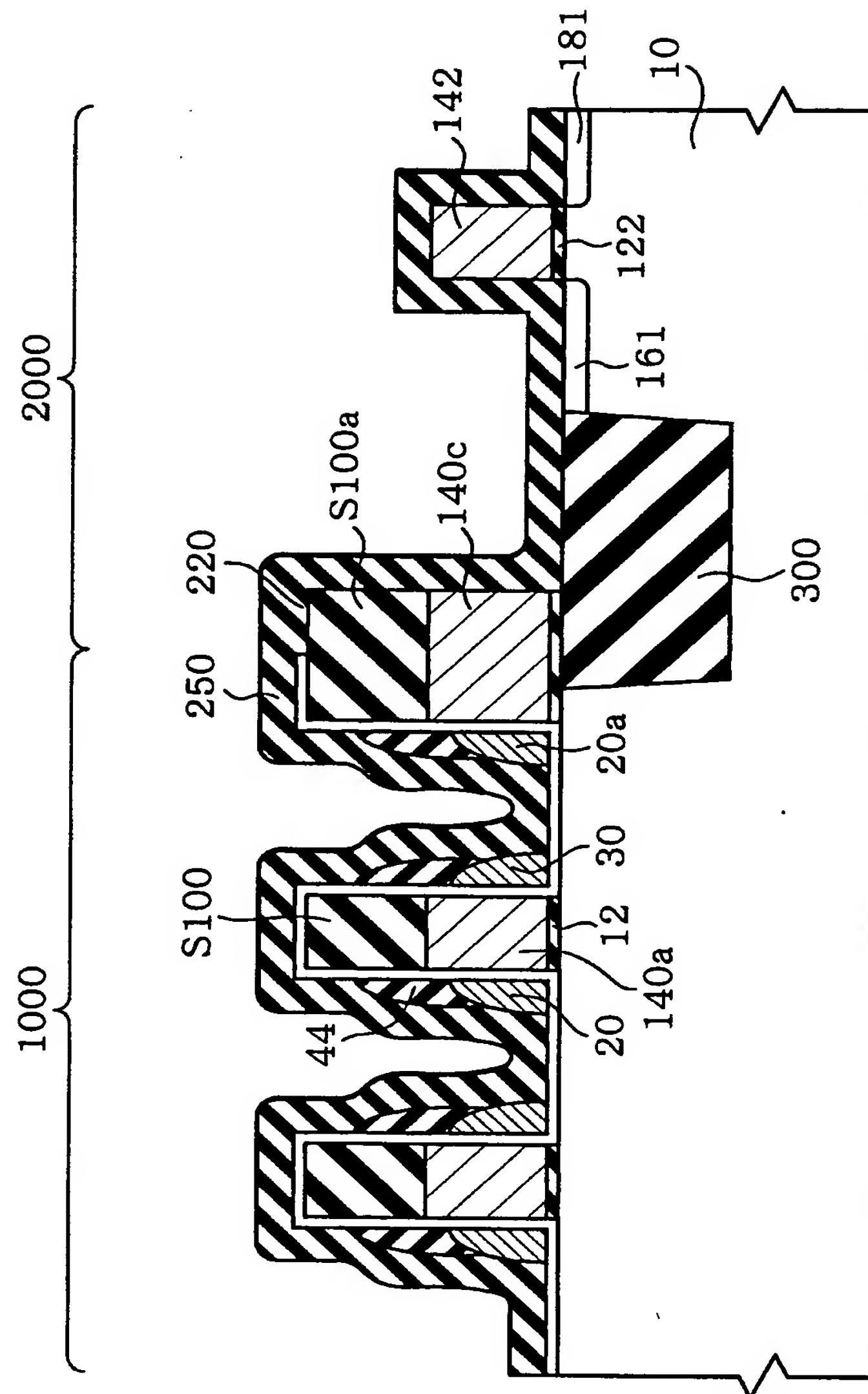


【図 1 3】

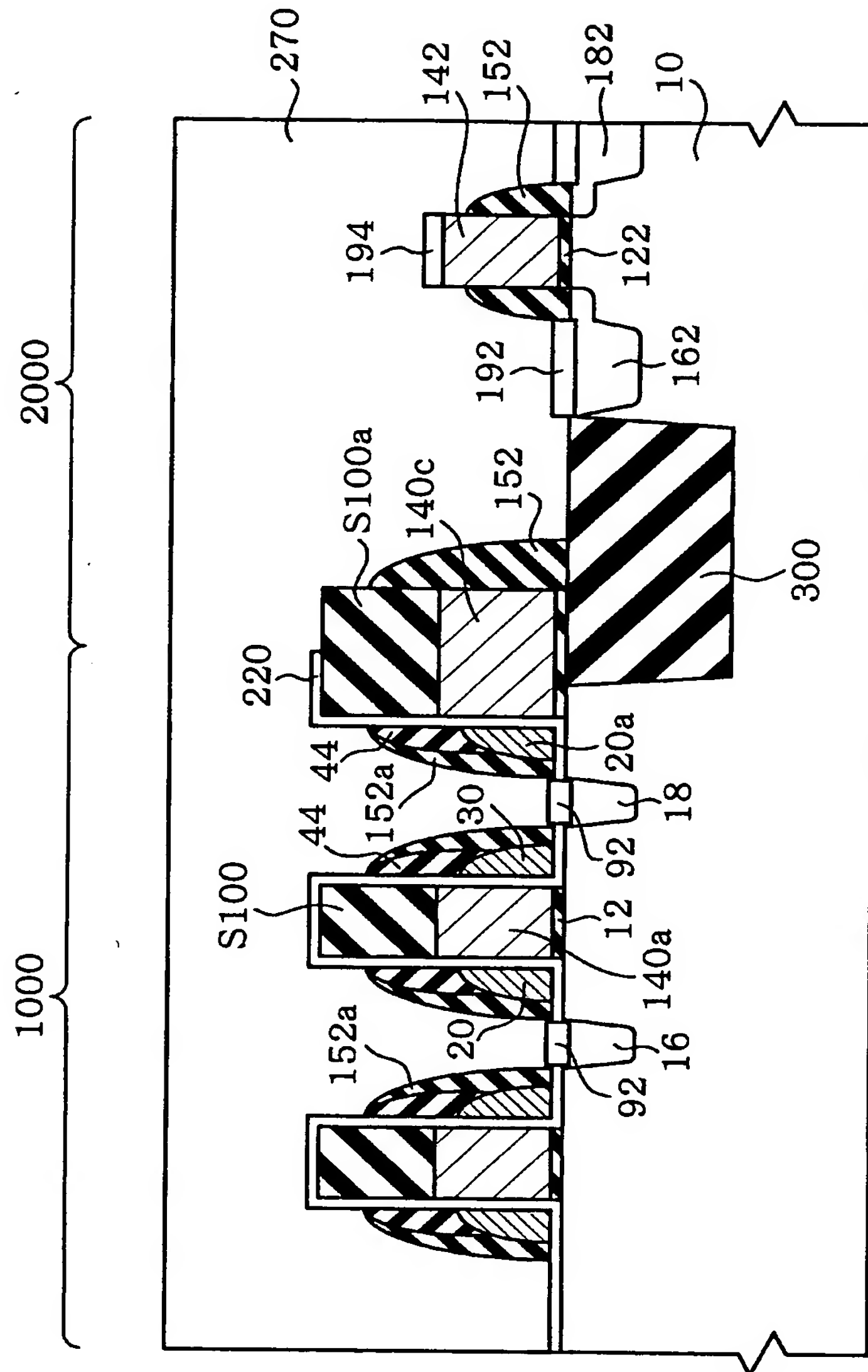




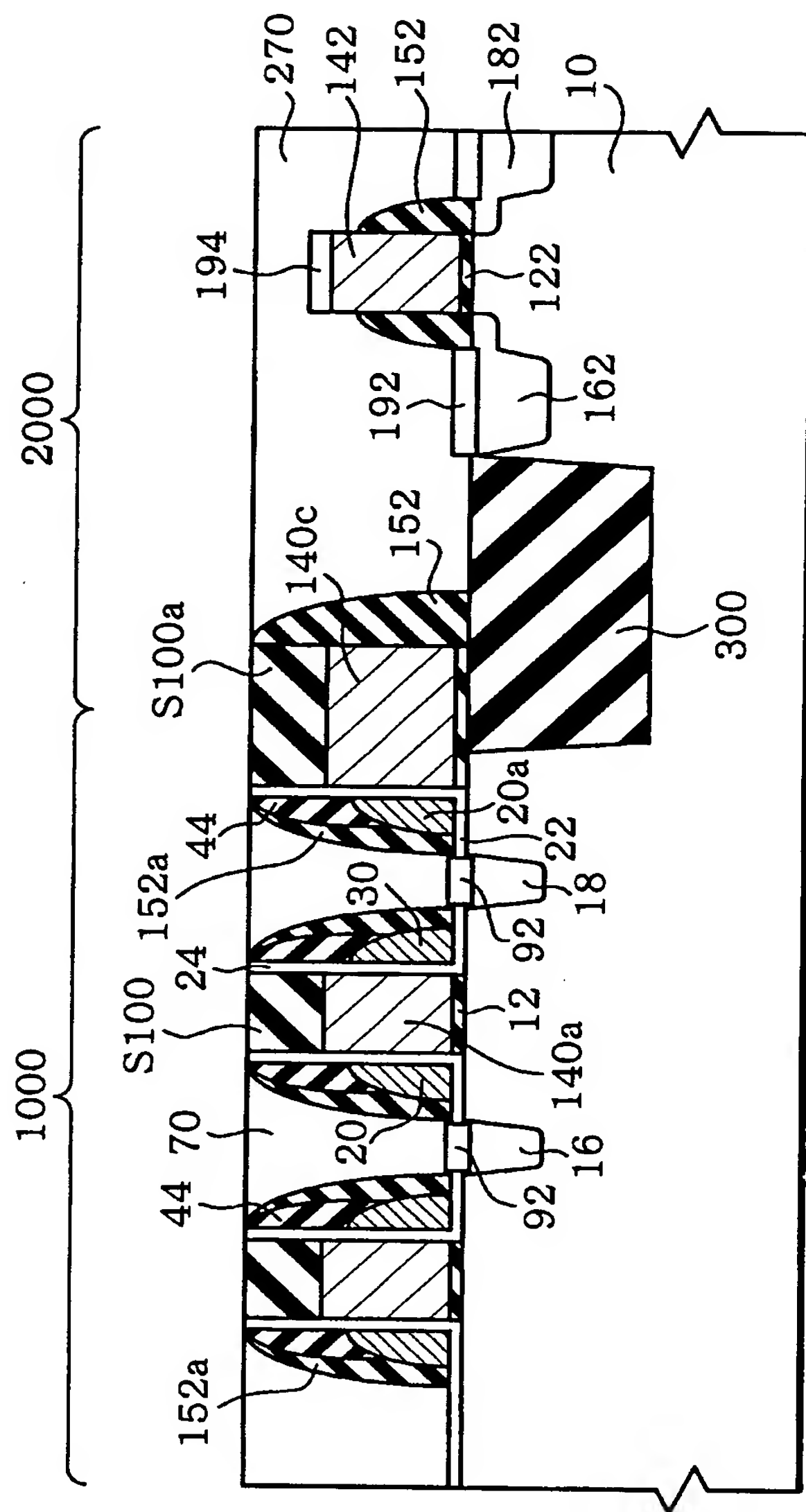
【図 14】



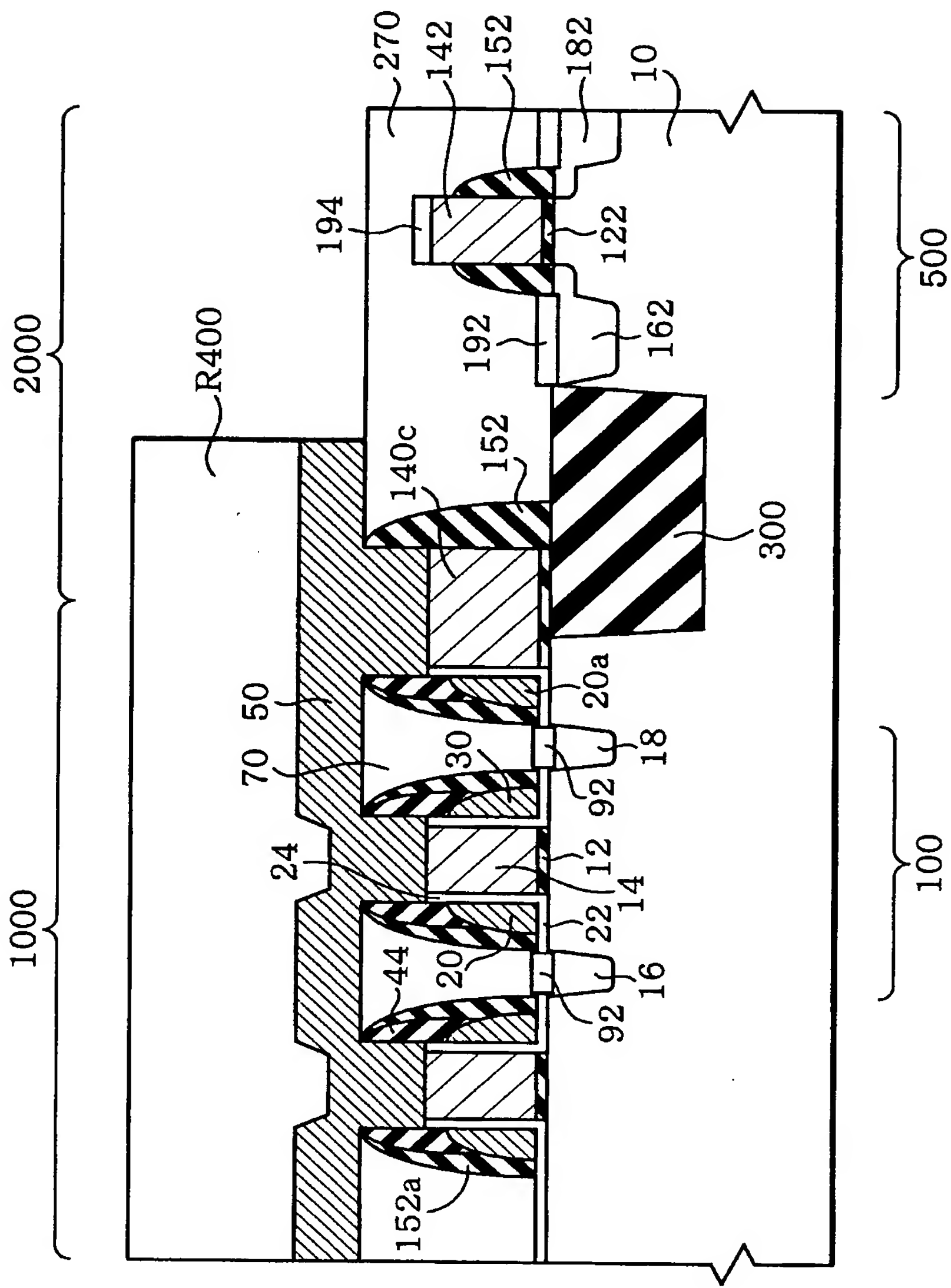
【図 1 5】



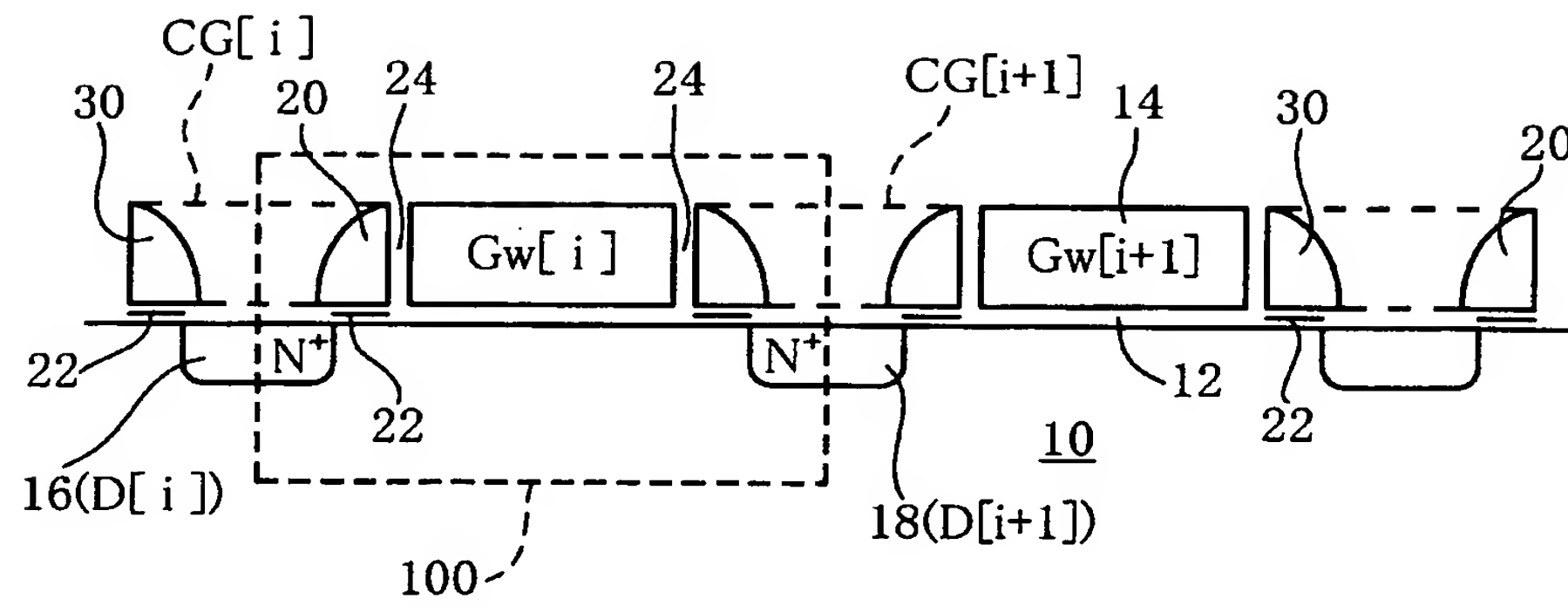
【図 16】



【図 1 7】



【図 18】



【書類名】 要約書

【要約】

【課題】 MONOS型のメモリセルを含むメモリ領域と、メモリの周辺回路などを含むロジック回路領域とを同一基板上に形成する、半導体装置の製造方法を提供する。

【解決手段】 メモリ領域と、周辺回路を含むロジック回路領域とを含む半導体装置の製造方法であって、以ロジック回路領域 2 0 0 0 のパターニングせずに、メモリ領域 1 0 0 0 内のストッパ層 S 1 0 0 と第 1 導電層 1 4 0 a との所定領域をパターニングし、少なくともメモリ領域 1 0 0 0 内の第 1 導電層の両側面に、ONO膜を介してサイドウォール状のコントロールゲート 2 0, 3 0 を形成し、コントロールゲート 2 0, 3 0 の上部に第 1 のサイドウォール絶縁層 4 4 を形成し、ロジック回路領域 2 0 0 0 内の第 1 導電層をパターニングしてMOSトランジスタのゲート電極 1 4 2 を形成し、ゲート電極 1 4 2 と、コントロールゲート 2 0, 3 0 および第 1 サイドウォール絶縁層 4 4 の側面に第 2 サイドウォール絶縁層 1 5 2 a を形成することを含む。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日 1 9 9 0 年 8 月 2 0 日  
[変更理由] 新規登録  
住 所 東京都新宿区西新宿 2 丁目 4 番 1 号  
氏 名 セイコーエプソン株式会社